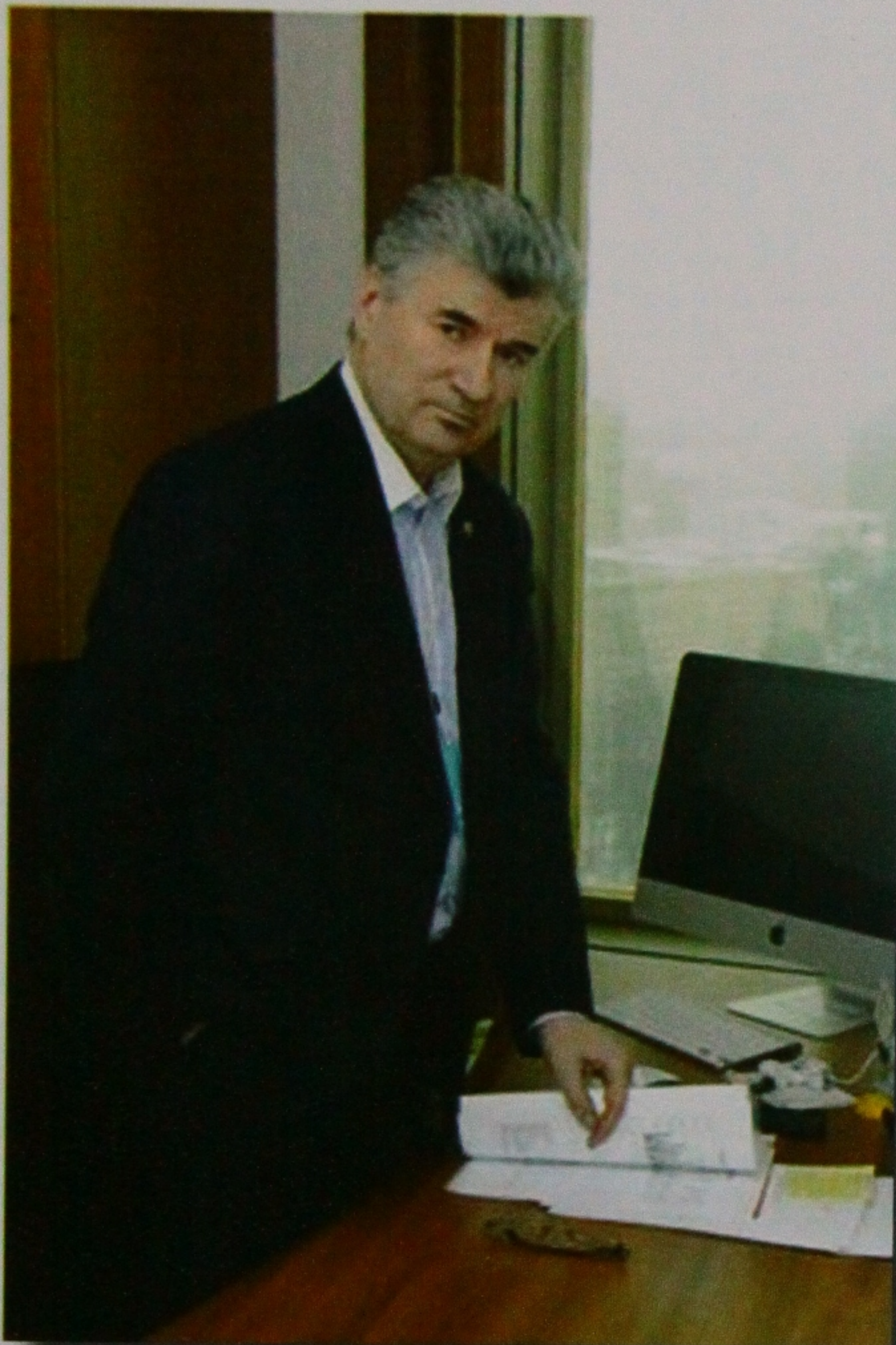




МОСКОВСКИЙ ГОСУДАРСТВЕННЫЙ ТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ им. Н.Э. БАУМАНА

Кафедре «Проектирование и технология производства
электронной аппаратуры» — 75 лет



*Заведующий кафедрой ИУ4
МГТУ им. Н.Э. Баумана, заслуженный деятель
науки РФ, руководитель ведущей научной школы
РФ, член-корреспондент РАН, д-р техн. наук,
профессор В.А. Шахнов*

Лауреатом Гранта Президента РФ по поддержке ведущих научных школ. Проводимые исследования охватывают вопросы конструкторско-технологического проектирования и системного анализа сложных распределенных встраиваемых информационно-управляющих и наукоемких систем, проблемы нанотехнологии, внедрения новых методов передачи знаний. На базе ведущей научной школы действует НОЦ «Нанотехнологические системы и наноэлектроника», СКБ «Сенсорные системы» и российско-французский центр компетенции STMicroelectronics по встраиваемым электронным системам.

Надеюсь, что публикуемые в этом номере журнала статьи авторов МГТУ им. Н.Э. Баумана, отражающие результаты исследований, проводимых в рамках нашей научной школы, будут интересны и полезны специалистам в области сенсорных информационно-управляющих систем.

МГТУ им. Н.Э. Баумана — одно из старейших учебных заведений России. Являясь мощным центром разработки и исследований по передовым направлениям науки, техники и технологий, он по праву признан национальным исследовательским университетом техники и технологий.

В МГТУ им. Н.Э. Баумана активно развивается инфраструктура научно-образовательных центров, вводятся в строй комплексы уникального оборудования и предметные исследовательские лаборатории. В Университете активно функционирует СНТО, проектный бизнес — инкубатор, сеть центров коллективного пользования. «Каждой лаборатории Университета — малое инновационное предприятие» — вот эффективная формула организации инновационного исследовательского университетского кластера.

Одной из ведущих научных школ Российской Федерации является научная школа «Конструкторско-технологическая информатика в радиоэлектронике», сложившаяся в МГТУ им. Н.Э. Баумана на кафедре «Проектирование и технология производства электронной аппаратуры» (ИУ4). Уже четыре раза она становилась

РАЗРАБОТКА ПАРАДИГМЫ ПРОЕКТИРОВАНИЯ СБИС С УЧЕТОМ РЕЗУЛЬТАТОВ КОНСТРУКТОРСКО-ТЕХНОЛОГИЧЕСКОГО МОДЕЛИРОВАНИЯ

А. В. Амирханов, А. А. Гладких, А. А. Глушко, В. В. Макаруч, А. С. Новоселов,
И. А. Родионов, В. А. Шахнов

Рассмотрены особенности проектирования СБИС и разработки технологического процесса их изготовления с применением средств конструкторско-технологического моделирования. Подробно описаны три взаимосвязанных блока проектирования, а также задачи, решенные в рамках каждого из них. Определен круг задач, которые предстоит решить в ближайшем будущем с переходом на все более жесткие проектные нормы.

Ключевые слова: проектирование, СБИС, TCAD.

ВВЕДЕНИЕ

Представить себе жизнь современного человека без глобальной сети Интернет и телекоммуникационных технологий практически невозможно. Такое положение дел напрямую связано с взрывным развитием полупроводниковых технологий. Достаточно вспомнить, что за последние 15 лет минимальные размеры областей транзисторов СБИС были уменьшены с 0,35 мкм до 22 нм (1/4000 диаметра человеческого волоса), что соответствует девяти различным технологиям с количеством операций от нескольких сотен до тысяч. При этом на каждой итерации развития технологии [1] растет количество элементов СБИС, технологические операции усложняются, повышается точность и воспроизводимость, учитываются и контролируются все более сложные физические эффекты.

Необходимо отметить, что в сегодняшней полупроводниковой технологии крайне сложно разделить технологию, технологическое оборудование и конструкцию элемента (прибора), так как технологическое оборудование разрабатывают под конкретную технологию и наоборот, а конструкцию проектируют с

учетом влияния особенностей процесса ее формирования, при этом технологические режимы зачастую выбирают под конкретное изделие. Таким образом, технологические процессы изготовления интегральной схемы можно условно представить, как систему с несколькими "пересекающимися" обратными связями, которыми необходимо точно управлять, чтобы получить требуемый результат.

В описанной ситуации методы разработки новых технологических процессов и отработки технологических режимов, основанные на экспериментальных подходах, неприменимы ни с экономической точки зрения, ни по критерию затраченного времени.

Единственным разумным выходом является применение приемов конструктивно-технологического моделирования как для исследования сложных физических явлений, так и для отработки технологических режимов, а также оптимизации конструкции элементов СБИС с учетом влияния особенностей процесса их формирования.

Основное влияние на конструкцию (размеры и форму) элементов СБИС оказывает процесс проекционной литографии,

результат которого в высокой степени зависит от топографии подложки (кремниевой пластины). Так как глубина резкости современных литографических процессов составляет десятки (сотые) доли микрона, неплоскостность исходной поверхности, на которую наносится резист, должна быть практически нулевой. Многослойная структура СБИС предполагает проведение процессов химико-механической полировки (ХМП) поверхности перед литографическими процессами. Поэтому эти два технологических процесса напрямую связаны друг с другом.

Однако, в конечном счете, результаты отдельных технологических операций, хотя и являются важными составляющими, но, не дают представления о параметрах конечного продукта, т. е. интегральной схемы. Поэтому для полноценного проектирования и разработки СБИС необходим инструмент, который позволял бы аккумулировать результаты всех технологических операций, учитывая их особенности, и на выходе предсказывать электрические характеристики исследуемых приборов. Для этой цели используются САПР технологических процессов производства и моделирова-

ния элементов СБИС — серия программных продуктов под общей аббревиатурой TCAD [1].

Работа разделена на три крупных блока, непосредственно связанных между собой:

1) особенности моделирования процесса ХМП и перепроектирования топологии СБИС с субмикронными проектными нормами (с учетом результатов моделирования);

2) особенности моделирования процесса проекционной литографии и топологической коррекции эффекта оптической близости при изготовлении СБИС с проектными нормами, меньшими длины волны источника экспонирующего излучения проекционной установки;

3) методы сквозного конструкторско-технологического моделирования элементов СБИС, исследование принципов их функционирования и влияния внешних воздействующих факторов, в том числе специальных, с учетом результатов моделирования по п. 1) и 2).

В работе предложена модель технологического процесса ХМП, проведен сравнительный анализ методов их калибровки и оптимизации топологии с использованием предложенных моделей, разработаны алгоритмы коррекции топологии и введения фиктивных структур заполнения. Все разработанные модели, алгоритмы и методы внедрены и используются при проектировании и изготовлении отечественных СБИС с проектными нормами 0,35 и 0,25 мкм.

В работе разработаны модели технологических процессов изготовления СБИС по эпитаксиальной и КНИ-технологиям с проектными нормами 0,5; 0,35 и 0,25 мкм. Предложены методы калибровки, улучшения сходимости Ньютоновских итераций, формирования расчетной сетки

конечных элементов, построения конструкции элементов СБИС произвольной формы, оптимизации этой формы и методы интеграции TCAD с САПР моделирования отдельных технологических операций.

В результате получен инструмент, который позволил предложить новые режимы имплантации (под каждую конкретную задачу оптимизации параметров приборов), новые конструкции транзисторов, оптимизированные под специфические технические задания, а также проводить исследования влияния внешних воздействующих факторов на конструкции приборов.

ОСОБЕННОСТИ МОДЕЛИРОВАНИЯ ПРОЦЕССА ХМП

Коммутация элементов в современных СБИС осуществляется с применением многоуровневой металлизации, которая представляет собой несколько слоев металлических межсоединений, разделенных изолирующими слоями, называемыми межслойным диэлектриком (далее МСД). Формирование многоуровневой металлизации может осуществляться с использованием различных вариантов технологического процесса: аддитивного и субтрактивного. Причем применение аддитивного процесса характерно для технологий с проектными нормами 0,13 мкм и менее, в то время как для больших проектных норм применяют субтрактивный процесс. Чаще в качестве аддитивного процесса используется двойной дамасский процесс, впервые предложенный компанией "IBM", с медными проводниками [2]. Такая технология позволяет получить более высокую плотность размещения межсоединений на кристалле СБИС.

Довольно широко используется и субтрактивный процесс, так как порядка 30—40 % мирового объема выпускаемых СБИС [3, 4] изготавливается по технологическим нормам 0,25 мкм и более (в том числе на технологической линии научно-исследовательского института системных исследований (НИИСИ РАН)). В таком технологическом процессе первоначально на поверхность пластины наносят сплошной проводящий слой, в котором с помощью операций литографии и последующего травления открытых участков получают требуемый рисунок межсоединений.

После получения рисунка проводящего слоя на него осаждают изолирующий слой (обычно изолятором является диоксид кремния), причем в процессе осаждения над проводниками образуются локальные ступеньки (рельеф). Если не принять соответствующих мер, то формирование следующего проводящего слоя будет осуществляться на поверхности со значительным рельефом (десятые доли микрона), что недопустимо для литографических процессов формирования топологии слоя. Также вследствие более низкой скорости травления проводящего слоя на наклонных участках могут остаться непротравленные области.

Для удаления локальной ступеньки, возникающей при осаждении диоксида кремния, используют технологическую операцию ХМП, в силу особенностей которой на поверхности кристалла СБИС, тем не менее, возможно сохранение рельефа поверхности (глобальной ступеньки).

Первые научные работы, связанные с моделированием операции ХМП, проводились, начиная с 1991 г. [5—8]. Особенно

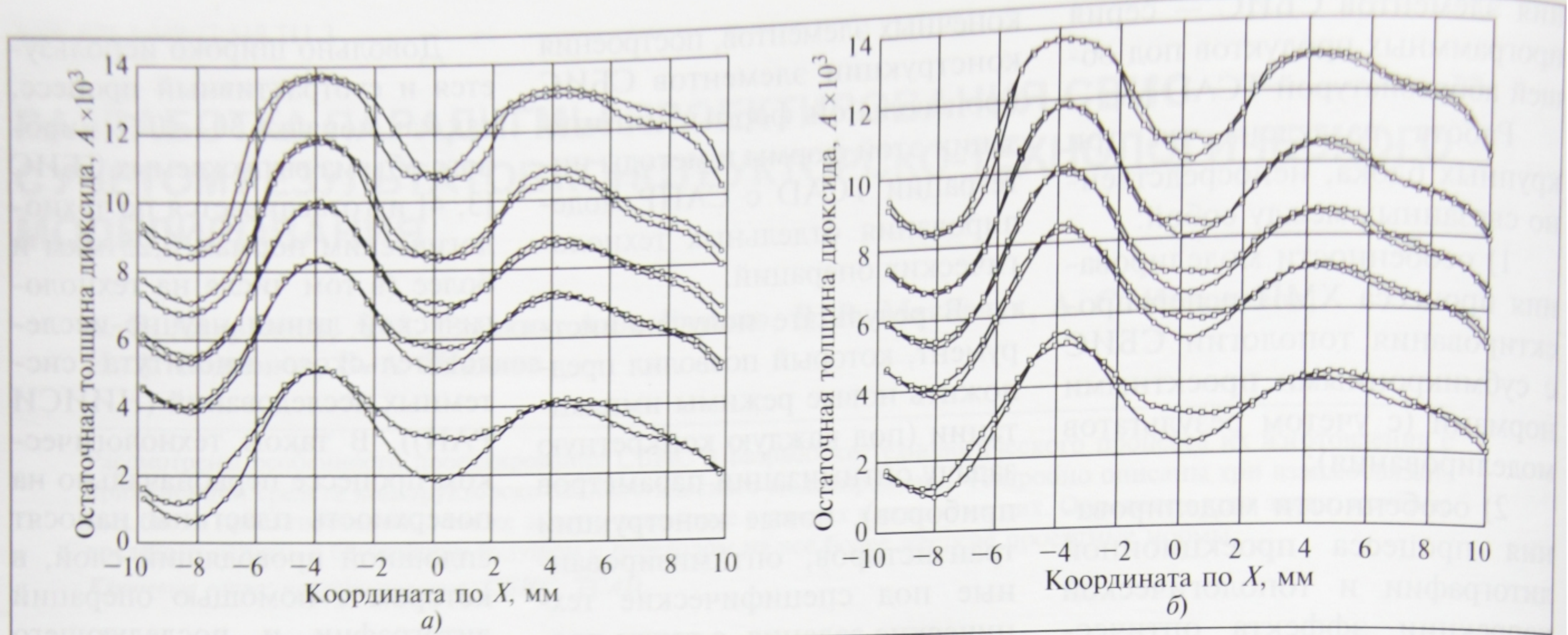


Рис. 1. Сравнение экспериментальных данных (—○—) с результатами моделирования (—□—):
 а — линейная модель, $RMSE = 357 \text{ \AA}$; б — полиномиальная модель, $RMSE = 234 \text{ \AA}$

стоит отметить работы Массачусетского Технологического Института [9, 10], в которых впервые были разработаны математические модели и алгоритмы, позволяющие рассчитать распределение рельефа после операции ХМП. Ключевым отличием данных работ было использование плотности заполнения топологического слоя и применение математической операции двумерной свертки, а также оригинальное ядро свертки. Все это позволило выполнять расчеты распределения толщины межслойного диэлектрика по кристаллу СБИС. Причем зависимость толщины МСД от плотности заполнения также была показана в данных работах с использованием специальных тестовых фотошаблонов.

Однако, экспериментальная апробация описанных моделей в работах [11–13] показала существенные отклонения результатов моделирования от экспериментальных данных некоторых типов тестовых структур для диапазонов времен планаризации.

С целью корректировки этих недостатков и учета особеннос-

тей технологического процесса НИИСИ РАН совместно со специалистами МГТУ им. Н. Э. Баумана была предложена полиномиальная модель операции ХМП [13]. Данная модель позволила повысить точность расчетов, что было подтверждено результатами ее калибровки по экспериментальным данным. Для примера на рис. 1 представлено сравнение двух моделей: линейной, предложенной в работе [9], и полиномиальной модели операции ХМП.

Наличие точных моделей операции ХМП позволило проводить модификацию топологии СБИС с целью снижения общего разброса толщин (ОРТ) межслойного диоксида кремния.

Метод основан на том, что практически в каждой топологии СБИС существуют области, не занятые функциональными элементами, что, в частности, и вызывает разброс плотности заполнения слоя. Размещая в данных областях фиктивные структуры заполнения (СЗ), которые не изменяют электрическую схему устройства, можно добиться снижения разброса толщины МСД. Для определения распо-

ложения и параметров СЗ для каждой уникальной топологии СБИС целесообразно использовать моделирование операции ХМП. В работах [14, 15] был предложен алгоритм модификации топологии СБИС, основанный на способе, предложенном в работе [16]. Схема алгоритма приведена на рис. 2.

При реализации алгоритма необходим многократный расчет локальной плотности заполнения. Ее вычисление является ресурсоемкой задачей, так как при прямом расчете, например, для 0,35 мкм технологии, может потребоваться выполнение порядка $77,5 \times 10^9$ операций пересечения полигонов, представляющих топологию слоя СБИС, с квадратами расчета локальной плотности заполнения. Поэтому в работах [15, 17] был предложен алгоритм рекурсивного разбиения полигонов топологического слоя, позволяющий существенно сократить число операций пересечения.

В работе показано, что количество операций пересечения R при использовании предложенного алгоритма снижается до $K \cdot N/4r$, где N — число квадра-

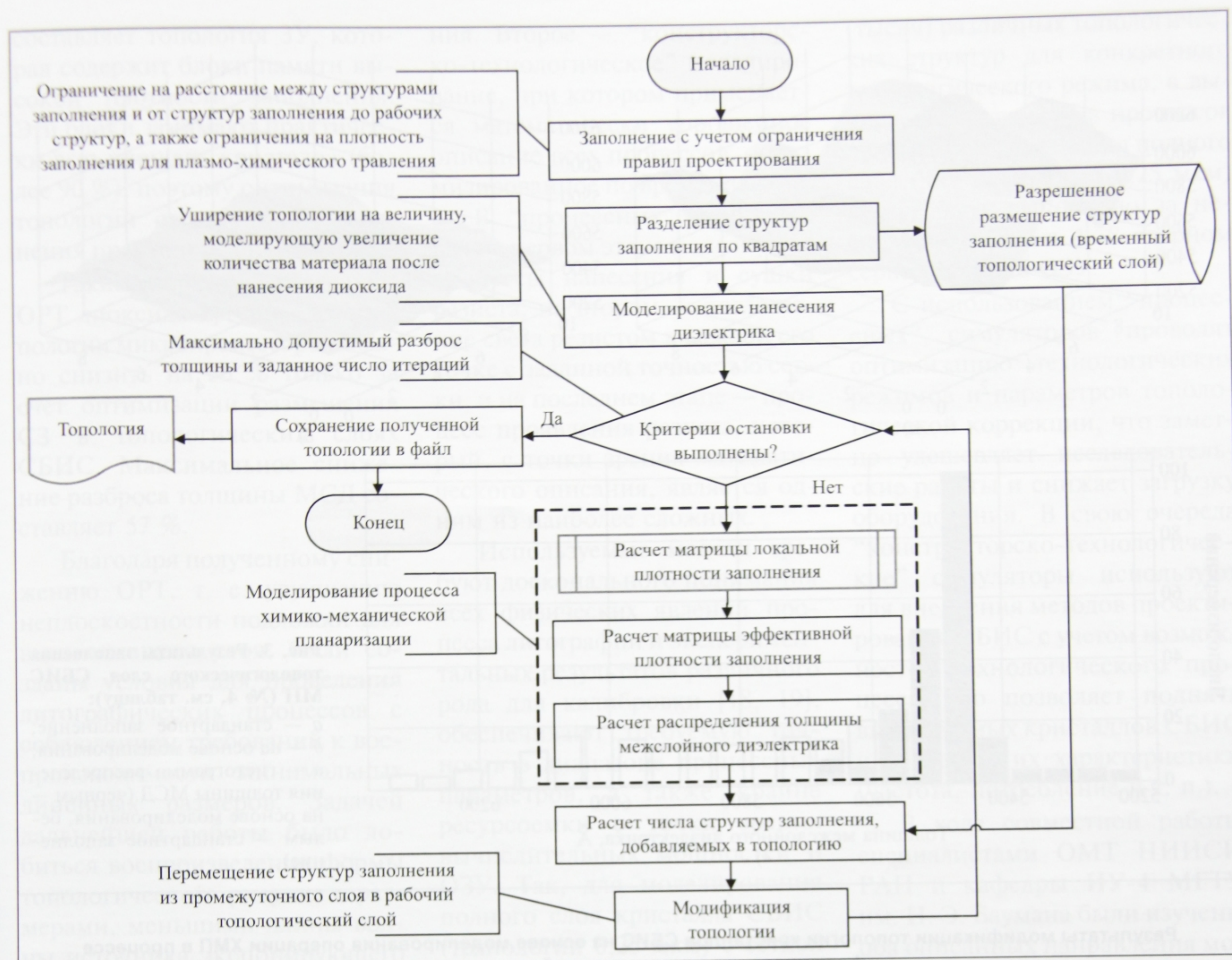


Рис. 2. Алгоритм модификации топологии СБИС С3 на основе моделирования операции ХМП

тов расчета локальной плотности, K — число неперекрывающихся и непересекающихся многоугольников топологического слоя. Так, при глубине рекурсии $r = 5$ число операций уменьшается в 1000 раз, а для приведенного выше случая ($r \approx 8$) — в 65 000 раз (подробнее см. [17]).

С применением предложенного алгоритма проведены модельные исследования по заполнению топологии различных типов СБИС. Для сравнения проведено моделирование топологий кристаллов СБИС со стандартным заполнением (свободные места топологии заполняются СЗ равного размера с равными расстояниями между

ними) и с заполнением по разработанному алгоритму на основе моделирования. На рис. 3 приведены результаты моделирования распределения МСД кристалла микропроцессора (МП) после операции ХМП до и после оптимизации с помощью предложенного алгоритма. По осям X и Y отложены координаты кристалла СБИС, имеющего размеры 10×10 мм, по оси Z — толщина межслойного диэлектрика в ангстремах.

Из приведенного рисунка и гистограммы хорошо видно качественное снижение разброса толщины межслойного диоксида кремния. Количественные оценки результатов работы ал-

горитма для 20 различных кристаллов СБИС приведены в таблице. Кроме кристаллов МП и запоминающих устройств (ЗУ, в данном случае статической памяти) проверка алгоритма проводилась и на топологии тестовых кристаллов (ТК). Топология такого типа кристаллов отличается наличием локальных (размером 30...40 % от площади кристалла) высокоплотных областей и разреженной остальной площадью кристалла.

Из таблицы видно, что при использовании разработанного алгоритма для большинства кристаллов значение величины ОРТ диоксида кремния значительно снизилось. Исключения

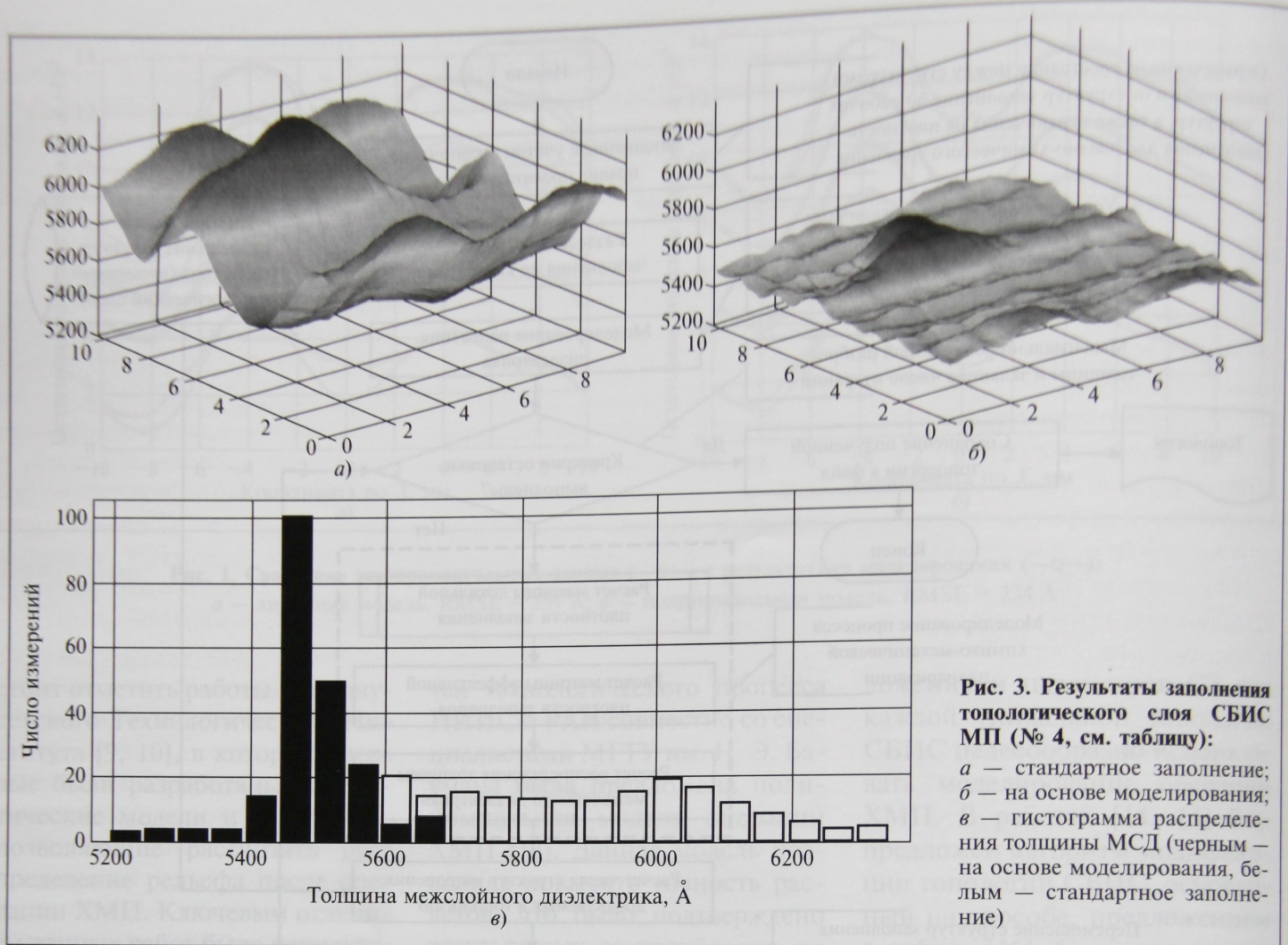


Рис. 3. Результаты заполнения топологического слоя СБИС МП (№ 4, см. таблицу):
a — стандартное заполнение;
б — на основе моделирования;
в — гистограмма распределения толщины МСД (черным — на основе моделирования, белым — стандартное заполнение)

Результаты модификации топологии кристаллов СБИС на основе моделирования операции ХМП в процессе формирования многоуровневой металлизации

Номер п/п	Тип схемы	ОРТ, Å		СКО толщины, Å		Среднее значение толщины, Å		Среднее число СЗ в квадрате	Оптимальное значение коэффициента	Размер СЗ, мкм	Изменение разброса, %
		До	После	До	После	До	После				
1	МП	1577	1006	322	184	6864	6563	8,2	200	5 × 1	36
2	ТК	890	306	255	57	6384	5496	9,3	200	4 × 2	66
3	ТК МП	574	313	106	45	5972	4459	12,2	100	4 × 2	45
4	МП	910	550	248	94	6867	6668	2,5	300	5 × 1	40
5	ТК	1082	514	224	72	5862	5490	4,6	450	4 × 2	53
6	СОЗУ	1300	1300	320	320	7496	7406	0,2	100	8 × 2	0
7	ТК МП	2386	2169	565	394	7238	6768	11,0	50	4 × 2	9
8	МП	417	181	88	26	6543	5700	11,2	300	4,8 × 1,2	57
9	МП	1530	1279	284	206	6823	6696	3,0	200	5 × 1	16
10	ЗУ	1382	1382	363	363	6976	6976	0,4	300	8 × 2	0
11	МП	1215	631	349	103	6960	6642	7,4	250	5 × 1	48
12	МП	416	159	95	32	6705	6009	3,8	100	5 × 2	62
13	МП	1696	1192	422	272	6479	6767	1,9	100	3 × 3	30
14	ТК ЗУ	589	256	113	36	6595	4680	16,4	110	4 × 2	57
15	МП	1561	1561	373	373	6494	6494	0,0	100	—	0
16	МП	2586	2343	672	579	7237	7075	6,1	150	5 × 1	9
17	ТК + ЗУ	1753	1719	282	265	6238	6147	3,0	150	8 × 2	2
18	ТК	1454	684	329	109	6131	5685	9,5	300	4,0 × 1,6	53
19	МП	1208	611	349	106	6960	6540	7,4	100	5 × 1	49
20	ЗУ	2917	2917	757	744	5528	5477	0,3	100	7 × 7	0

составляет топология ЗУ, которая содержит блоки памяти высокой плотности заполнения. Эти блоки занимают практически всю площадь кристалла (более 90 %), поэтому оптимизация топологии структурами заполнения практически невозможна.

Таким образом, в среднем ОРТ диоксида кремния для топологии микропроцессоров можно снизить на 36 % только за счет оптимизации размещения СЗ в топологических слоях СБИС. Максимальное снижение разброса толщины МСД составляет 57 %.

Благодаря полученному снижению ОРТ, т. е. улучшению неплоскостности подложки для вышележащего слоя, были созданы условия для проведения литографических процессов с соблюдением требований к воспроизводимости минимальных линейных размеров. Задачей дальнейшей работы было добиться воспроизведения формы топологического рисунка с размерами, меньшими длины волны источника экспонирующего излучения проекционной установки.

ОСОБЕННОСТИ МОДЕЛИРОВАНИЯ ПРОЦЕССА ПРОЕКЦИОННОЙ ЛИТОГРАФИИ И ТОПОЛОГИЧЕСКОЙ КОРРЕКЦИИ ЭФФЕКТА ОПТИЧЕСКОЙ БЛИЗОСТИ

Моделирование процесса литографии необходимо рассматривать в двух направлениях (рис. 4 см. цветную вклейку), задачи которых пересекаются только на первый взгляд [1]. К первому отнесем, так называемое, “процессное” (полное физическое) моделирование, при котором последовательно учитываются все физико-химические явления от нанесения резиста до проявления/травле-

ния. Второе — “конструкторско-технологическое” моделирование, при котором применяется математически упрощенное описание всех процессов, оптимизированное по времени счета.

В “процессных” симуляторах на первом этапе моделируют процессы нанесения и сушки резиста, на втором — поглощение света резистом в каждой его точке с заданной точностью сетки, и на последнем этапе — процесс проявления резиста, который, с точки зрения математического описания, является одним из наиболее сложных.

Используемые модели требуют досконального понимания всех физических явлений процесса литографии и экспериментальных результатов различного рода для калибровки [18, 19], обеспечивают требуемую точность в диапазоне процессных параметров, а также крайне ресурсоемки с точки зрения вычислительных мощностей и ОЗУ. Так, для моделирования полного слоя кристалла СБИС (технологии 0,25 мкм) с сеткой 10 нм потребуется вычисление $5,4 \times 10^{13}$ значений с плавающей точкой. Поэтому моделирование полного слоя поликремния с использованием таких моделей затруднено, так как для этого требуется использование вычислительных систем с сотнями процессоров и терабайтами ОЗУ.

В “конструкторско-технологических” симуляторах применяют алгоритмы ускоренных вычислений [20], которые частично учитывают физику процессов, однако обладают высокой точностью, достаточной для передовых полупроводниковых технологий.

Калибровка моделей не требует глубоких знаний о технологии, модель калибруется на основе измерений размеров сотен

(тысяч) различных топологических структур для конкретного технологического режима, а вычисление результатов процессов литографии и травления полного слоя (для технологии 0,25 мкм) может быть выполнено за несколько часов на 4–8-ядерном сервере с 32 Гб ОЗУ.

С использованием “процессных” симуляторов проводят оптимизацию технологических режимов и параметров топологической коррекции, что заметно удешевляет исследовательские работы и снижает загрузку оборудования. В свою очередь “конструкторско-технологические” симуляторы используют для внедрения методов проектирования СБИС с учетом возможностей технологического процесса, что позволяет поднять выход годных кристаллов СБИС и улучшить их характеристики (частота, потребление и т. п.).

В ходе совместной работы специалистами ОМТ НИИСИ РАН и кафедры ИУ-4 МГТУ им. Н. Э. Баумана были изучены оба описанных направления моделирования литографии, откалиброваны и внедрены оба типа моделей, проведена оптимизация литографических процессов для критических топологических слоев, а также разработаны процедуры топологической коррекции эффекта оптической близости серийно выпускаемых СБИС с проектными нормами 0,25 мкм.

В рамках работы для сверхконтрастного резиста Ultra-i123 (США) с максимумом чувствительности на длину волны 365 нм определены ключевые параметры модели резиста (доза E0, коэффициент преломления, константа скорости экспонирования (рис. 5 на цветной вклейке), максимальная и минимальная скорости проявления) и получены модели литографического

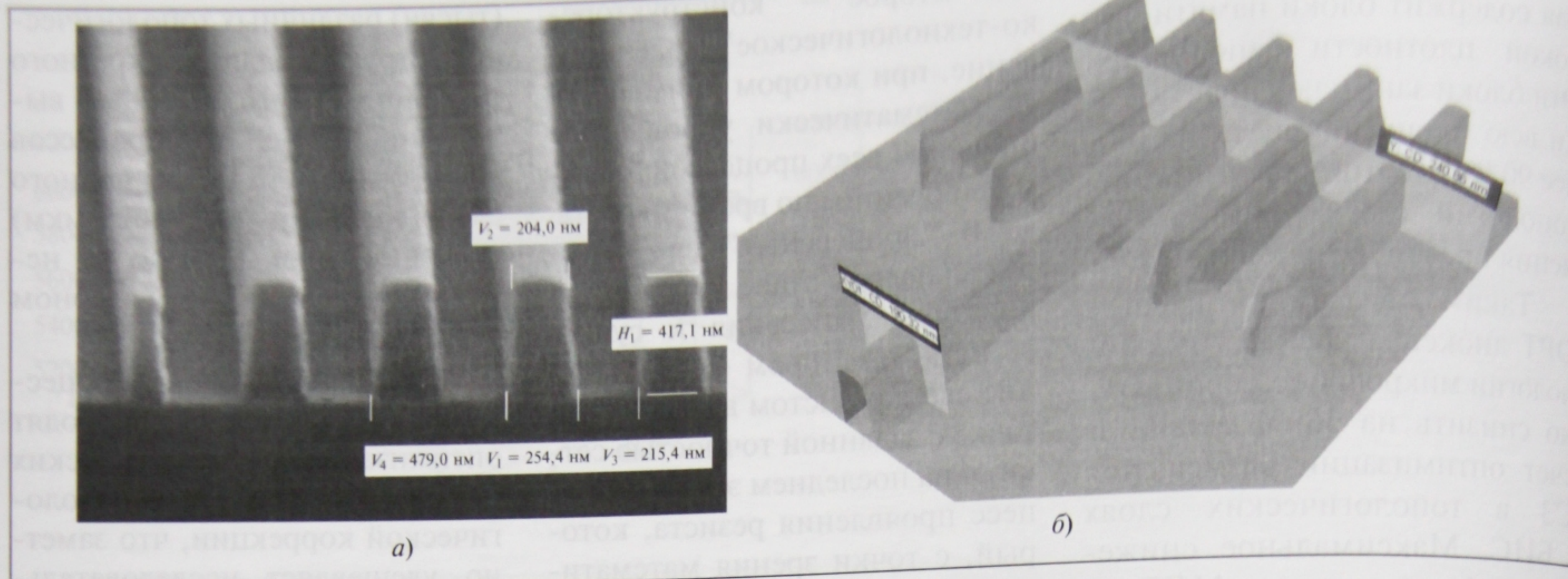


Рис. 6. Экспериментальная и полученная в результате моделирования структура с соотношением шина/зазор 0,24/0,24 мкм

процесса, которые удовлетворяют точностным требованиям в заданных диапазонах изменения процессных параметров.

На рис. 5, а, показана кремниевая пластина, в центре и справа на ней — результаты ее экспозиции и проявления после экспонирования по специальной тестовой программе для степпера, в которой определенным образом меняется доза экспозиции и фокус. На фотографии хорошо видно, что поскольку цвет ячеек разный, то и толщина резиста разная. В результате измерения толщины получившегося на ней резиста строится колебательная кривая.

По результатам моделирования установлены и экспериментально подтверждены режимы литографического процесса с проектными нормами 0,25 мкм (параметры стека, числовая апертура, параметры внеосевого освещения, фокусное расстояние, доза экспонирования) с использованием проекционной установки ASML PAS5500/250С (источник — ртутная лампа 365 нм).

Промоделированы колебательные кривые для минимального критического линейного размера (КЛР) (0,24 мкм) в зависимости от литографичес-

ких режимов. Экспериментально подтверждена возможность проработки групповых структур с соотношением шина/зазор, равным 0,24/0,24 мкм, и шагом 0,48 мкм (рис. 6) на технологической линейке НИИСИ РАН.

На микрофотографии 6, а, хорошо видно, что получающийся профиль структур имеет практически вертикальные стенки при большом аспектном отношении, что свидетельствует об очень качественном процессе литографии и травления. Моделируемая тестовая структура (рис. 6, б) состоит из пяти параллельных полос, толщина и расстояние между которыми одинаковы, центральная полоса имеет выступ. С помощью такой тестовой структуры определяют, как будут прорабатываться в литографическом процессе одиночные и групповые элементы топологического слоя СБИС.

По результатам моделирования установлены и экспериментально подтверждены параметры фигур коррекции эффекта оптической близости [21]. На примере ячейки статического ОЗУ подтверждена эффективность их применения [22] (рис. 7, см. цветную вклейку).

Моделирование процесса литографии было выполнено с помощью программного продукта ProLith v.10.2 компании KLA-Tencor, академическая лицензия на который была получена лабораторией МГТУ им. Н. Э. Баумана.

Разработаны методики и откалиброваны векторные оптические модели высокоапертурных проекционных систем, а также полуэмпирические модели процессов литографии и травления VT-5 (Variable Theshold — модель с переменным порогом чувствительности, считается наиболее точной математической моделью, описывающей сложные литографические процессы) для критических топологических слоев технологического процесса с проектными нормами 0,25 мкм (рисунки 8, 9). На рис. 8 по оси X указаны номера тестовых структур калибровочной площадки кристалла СБИС (их всего 135), по оси Y — среднеквадратичная ошибка расположения топологической границы тестовой структуры. Проведено исследование различных подходов к разработке полуэмпирических моделей [20, 22, 23].

Предложены и проведены три стадии верификация раз-

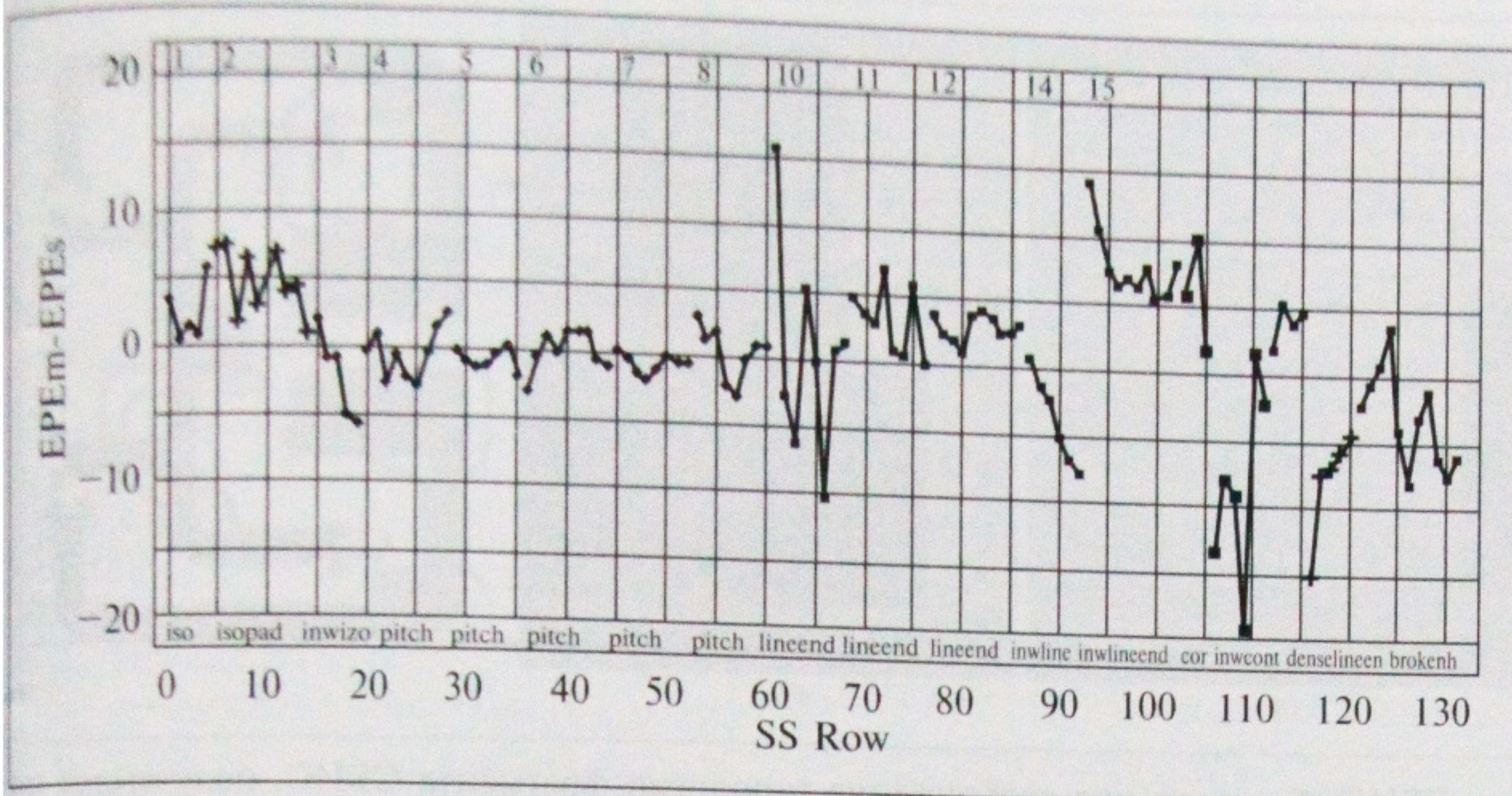


Рис. 8. Ошибка моделирования при калибровке модели VT-5

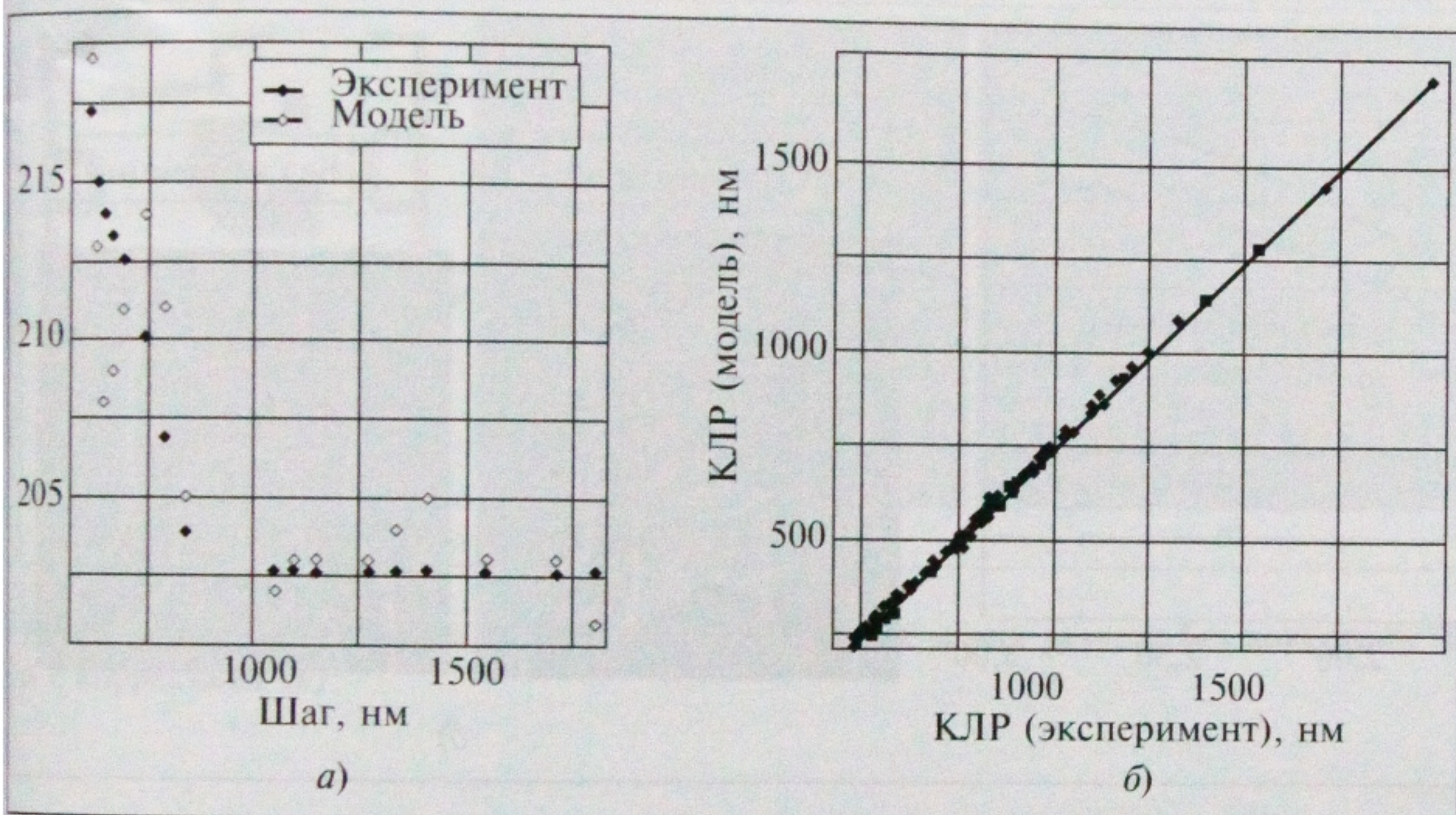


Рис. 9. Сравнение результатов моделирования и эксперимента для процесса калибровки:

a — зависимость ошибки моделирования поликремниевых шин с номинальным размером 0,24 мкм при изменении зазора между ними от 360 до 1500 нм; *б* — диагональ критических размеров

работанных моделей литографии и травления, включая верификацию по сложным топологическим структурам (ТС) (рис. 10, 11).

Разработанные приемы проектирования, алгоритмы обработки топологических слоев и литографические модели внедрены на полупроводниковом производстве НИИСИ РАН при проектировании и изготовлении серийных СБИС. Экспериментально доказана эффективность внедрения разработанных методов как на примере транзисторов различных типов (рисунки 12, 13), так и на примере элементов 0,25 мкм СОЗУ (рисунки 14, 15).

Визуально сложно оценить улучшение воспроизведения топологии, однако для подтверждения достаточно отметить, что кристаллы СБИС СОЗУ (4 Мбит) с откорректированной топологией в среднем работают на частоте на 8 % выше.

Разработанный комплекс методов позволил осуществить переход к меньшим проектным нормам при обеспечении требуемого уровня стабильности процесса литографии (процессного окна с глубиной фокусировки $\approx 0,6...0,8$ мкм при фиксирован-

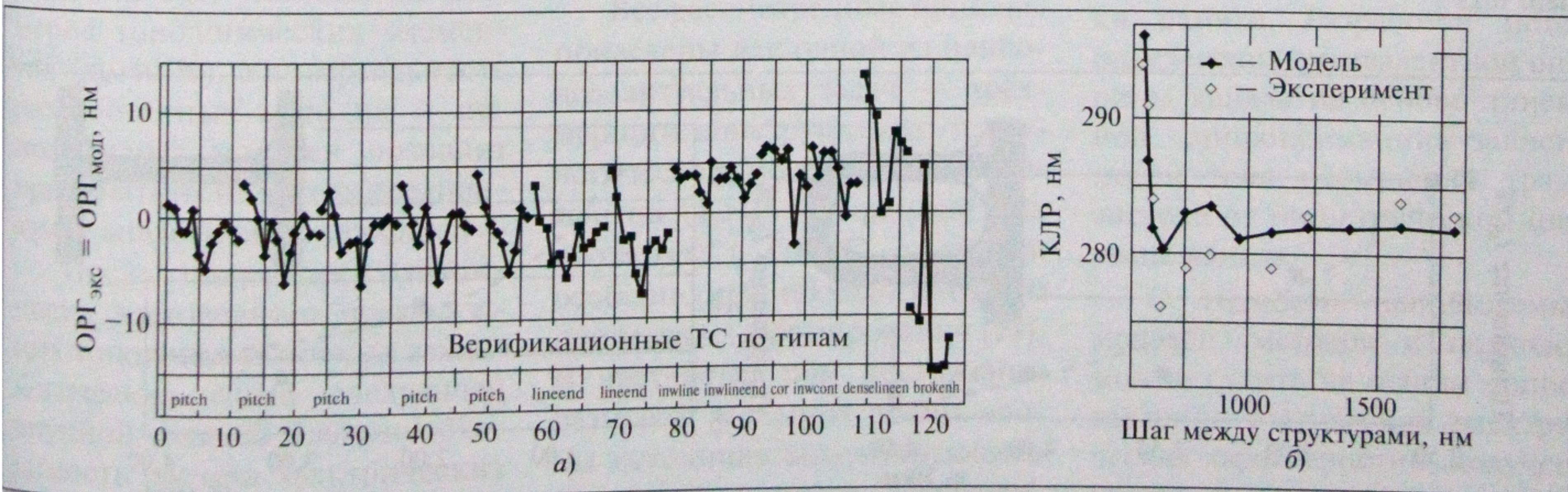


Рис. 10. Сравнение результатов моделирования и эксперимента для процесса верификации:

a — ошибка моделирования при верификации (по оси *Y* — среднеквадратичная ошибка расположения топологической границы (ОРГ) тестовой структуры ТС), *б* — зависимость ошибки моделирования поликремниевых шин с номинальным размером 260 нм (0,26 мкм) при изменении зазора между ними

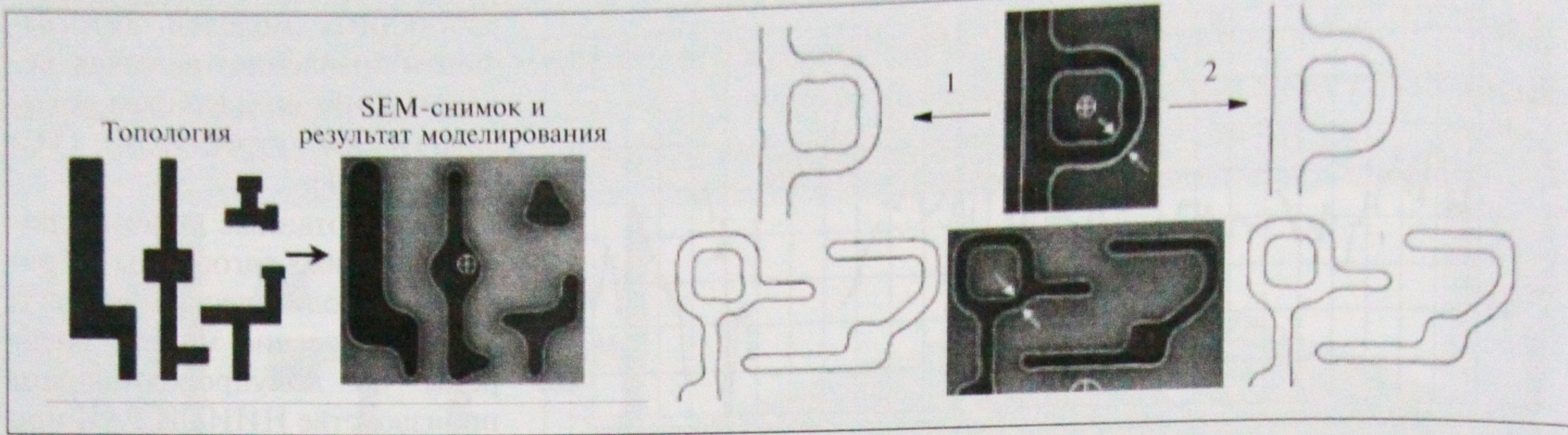


Рис. 11. Верификация моделей:

a — идеальный рисунок топологии фрагмента СБИС, *б* — реальное изображение топологии фрагмента СБИС, полученное на сканирующем электронном микроскопе (цифры 1 и 2 указывают на два варианта коррекции топологической структуры)

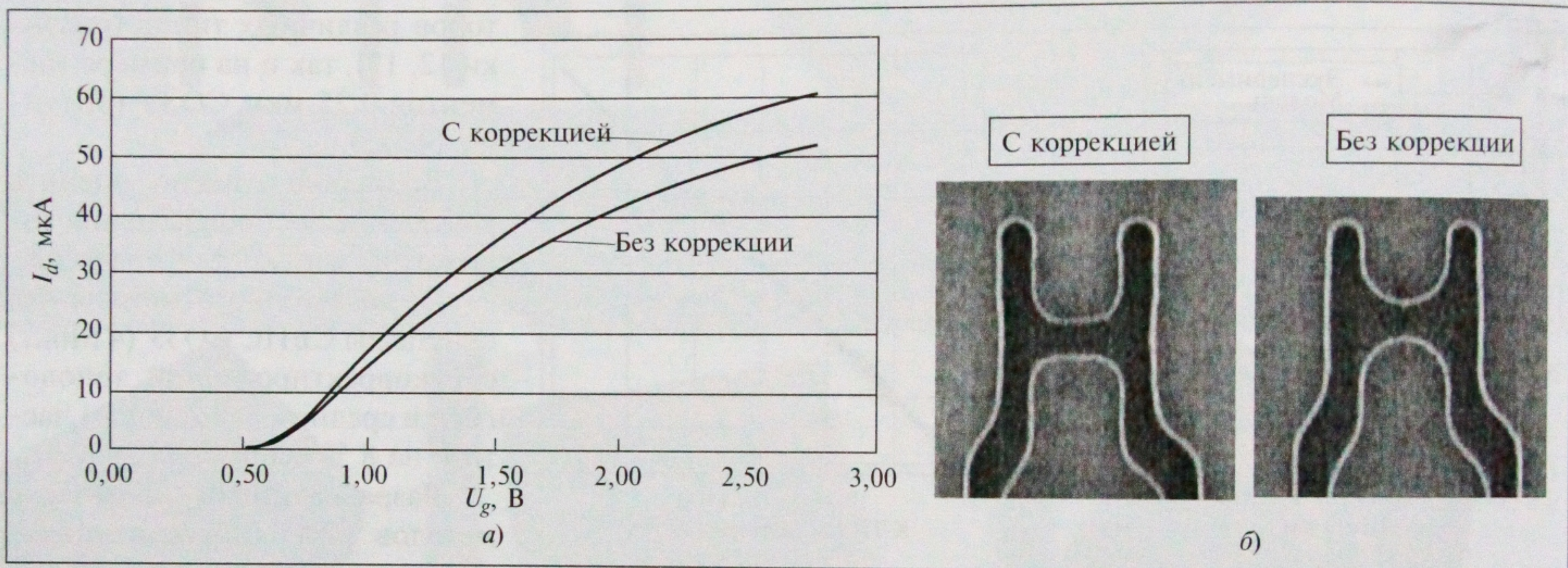


Рис. 12. Улучшение электрических характеристик Н-транзистора:

a — сток-затворная характеристика транзистора Н-типа, отражающая зависимость протекающего через его канал тока I_d от напряжения на затворе U_g при фиксированном напряжении между истоком и стоком U_{ds} , причем в транзисторе с откорректированной топологией величина протекающего тока больше (ширина поликремниевого затвора 0,24 мкм, длина поликремниевого затвора 0,58 мкм, напряжение между стоком и истоком 0,1 В); *б* — изображения, полученные на электронном микроскопе откорректированной и неоткорректированной топологией затвора, откорректированная топология имеет более равномерную ширину затвора, что и приводит к возрастанию протекающего через него тока

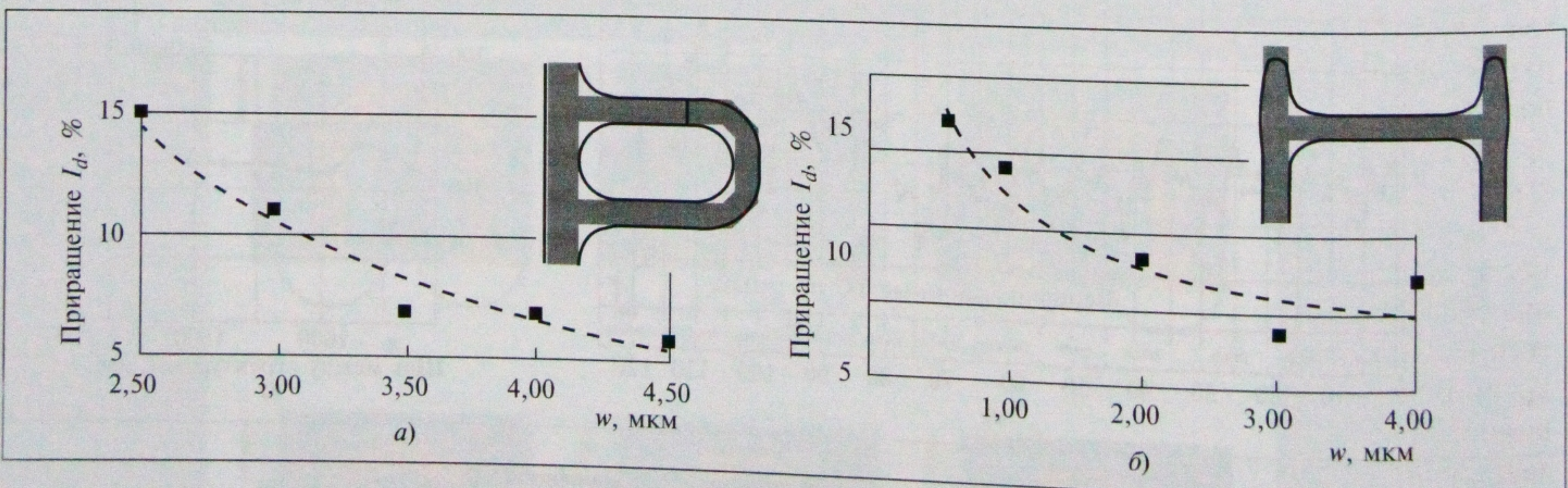


Рис. 13. Приращение тока I_d откорректированных Н- и О-транзисторов в сравнении со стандартными в зависимости от ширины канала w :

a — О-транзисторы; *б* — Н-транзисторы

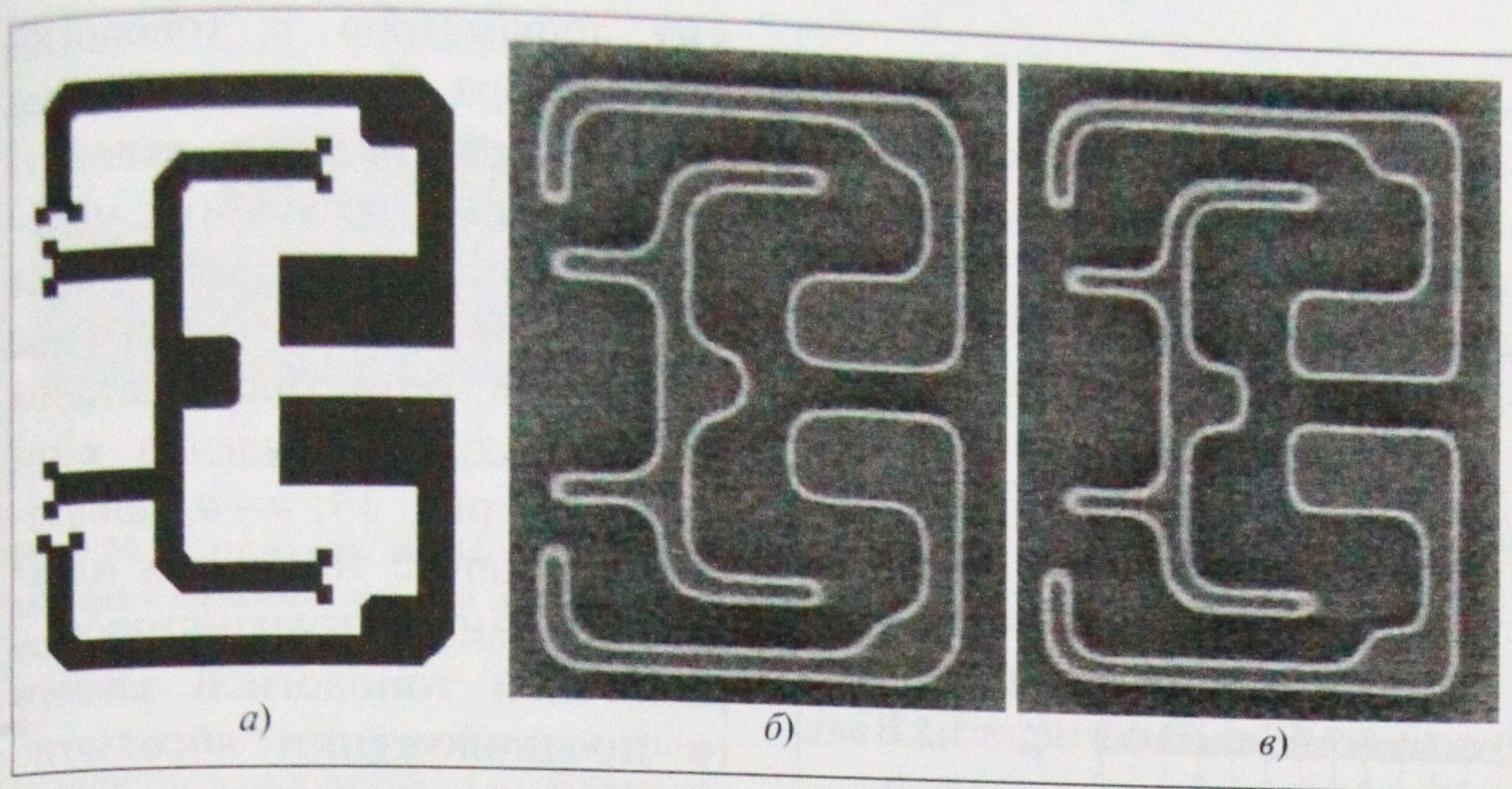


Рис. 14. Топология ячейки памяти (а), SEM-снимок резистивной маски без коррекции (б) и с коррекцией (в)

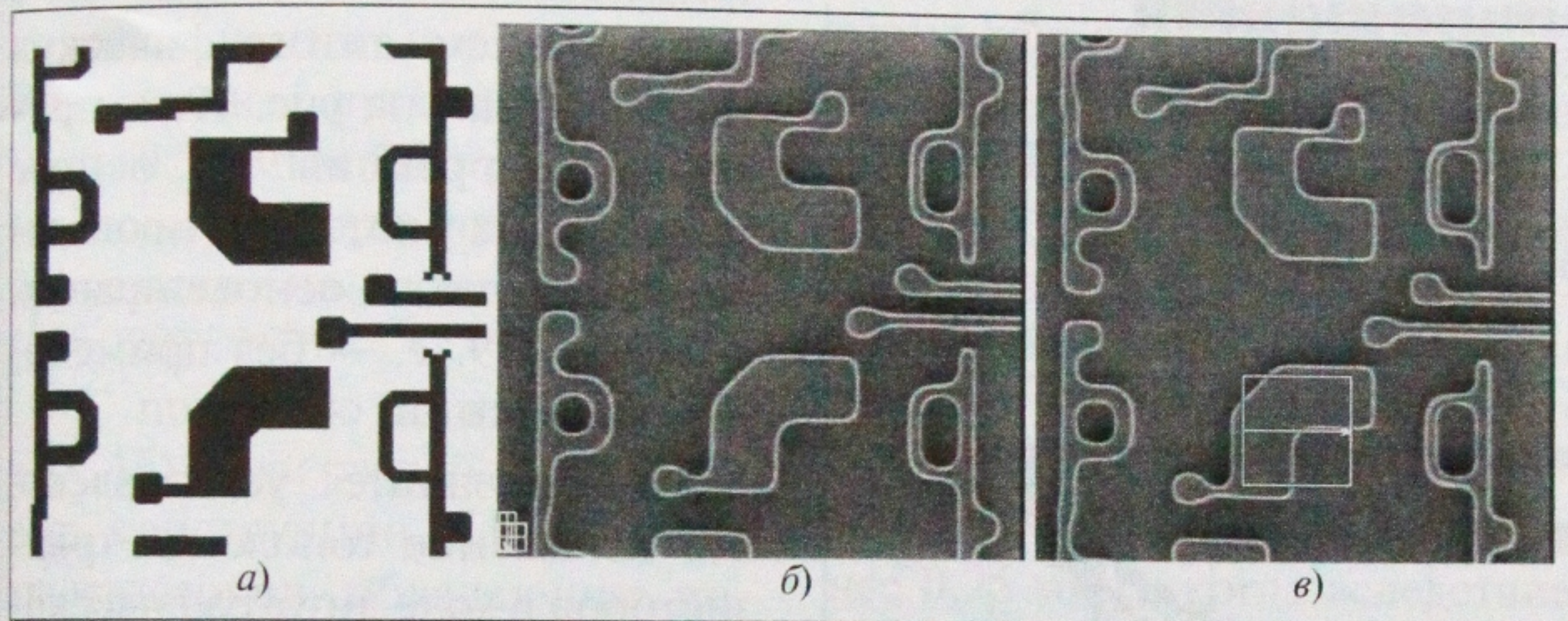


Рис. 15. Топология ячейки памяти (а), SEM-снимок маски резиста без коррекции (б) и с коррекцией (в)

ном значении диапазона дозы экспонирования $\approx 8...10\%$), повысить быстродействие за счет уменьшения размеров получаемых элементов (около 30%), повысить степень интеграции СБИС за счет уменьшения размеров топологических элементов (до 40%). Универсальность разработанных методик и используемых моделей позволит применять их на других предприятиях аналогичного профиля.

После получения возможности достоверного предсказания топологии основных технологических слоев следующей крупной задачей была необходимость расчета электрических характеристик приборов на основании данных об их конструкции и технологии изготовления.

О МОДЕЛЯХ, МЕТОДАХ И СРЕДСТВАХ МОДЕЛИРОВАНИЯ ПРОЦЕССА ФОРМИРОВАНИЯ СТРУКТУР И ИХ ЭЛЕКТРИЧЕСКИХ ХАРАКТЕРИСТИК

Все рассмотренные примеры приведены для одной из наиболее актуальных задач — трехмерного конструкторско-технологического моделирования элементов КНИ (“кремний на изоляторе”) СБИС с учетом особенностей технологического процесса их формирования [24]. В частности, при достижении размеров, меньших длины волны источника экспонирующего излучения степпера, необходимо учитывать искажения топологии элементов СБИС в процессе литографии [1].

В ходе работы предложены методы и алгоритмы трехмерного моделирования процесса формирования элементов СБИС и расчета их электрических характеристик с использованием САПР приборно-технологического моделирования и результатов литографического моделирования [25, 26]. Предложен метод построения сетки конечных элементов с привязкой к топологии затвора и возможностям САПР по реализации такого вида сетки. Примеры построения сетки транзисторов с различной конфигурацией канала представлены на рис. 16 (см. цветную вклейку). При этом литографическое моделирование выполняется для целого фрагмента СБИС, например, ячейки статической оперативной памяти. На всех рисунках показана конфигурация канала, причем синий цвет и его оттенки соответствуют акцепторному типу примеси, красный цвет и его оттенки — донорному. Наиболее мелкой сетка является в области изменения концентрации и при смене типа примеси.

Трехмерное моделирование позволяет оценить и эквивалентную ширину канала транзисторов, составляющих ячейку памяти, требуемую при схемотехническом моделировании ячейки памяти. Разработан метод определения эквивалентной ширины канала на основе линейной аппроксимации зависимости тока насыщения транзистора от геометрической ширины канала.

О точности используемых моделей, методов и подходов можно судить на основе сопоставления статических электрических характеристик, полученных в результате моделирования, и экспериментальных данных. Достигнуто расхождение между расчетными и экспери-

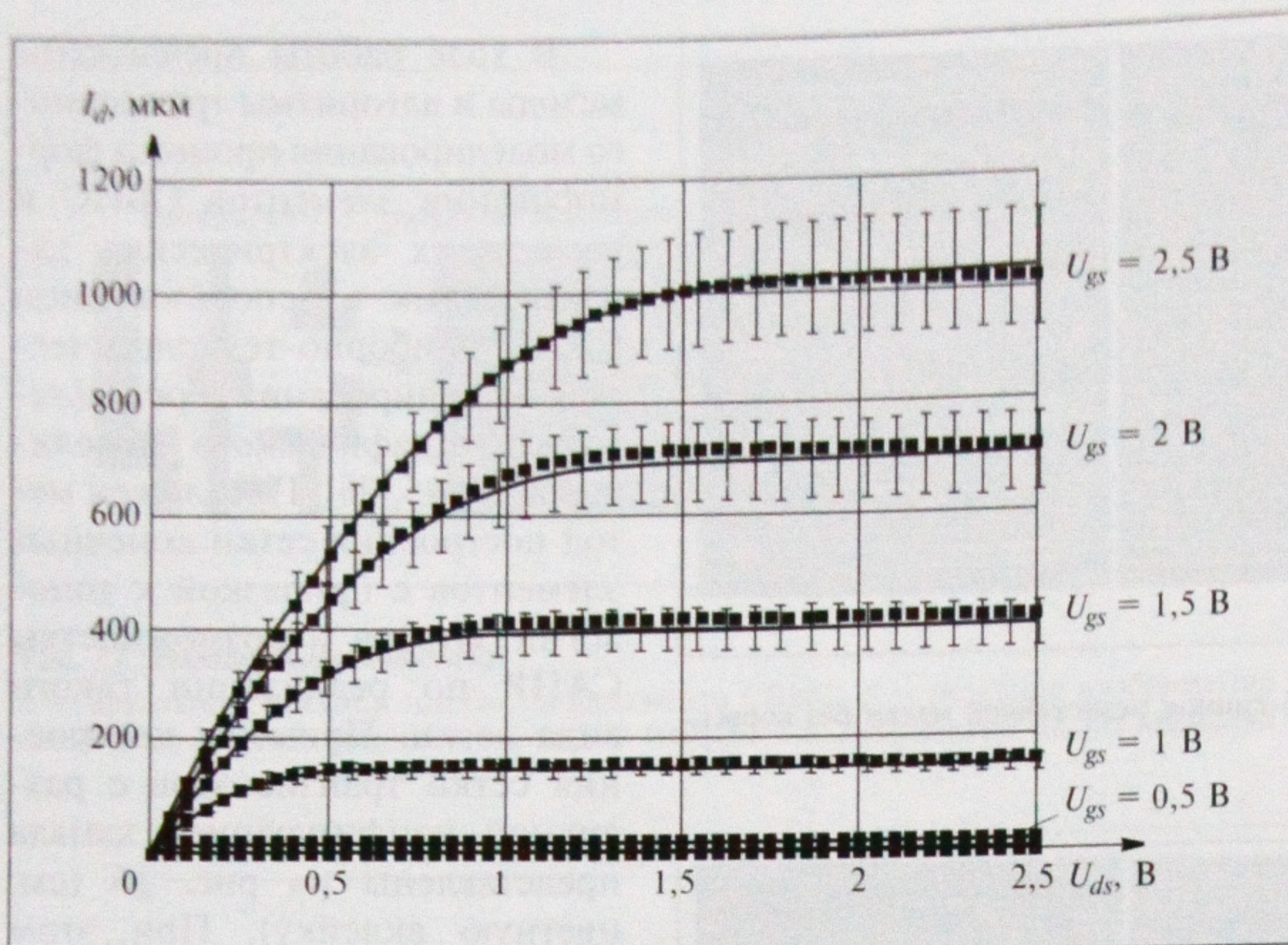


Рис. 17. Семейство выходных характеристик *n*-канального КНИ МОП-транзистора (на рисунке показаны 10 %-е планки погрешностей)

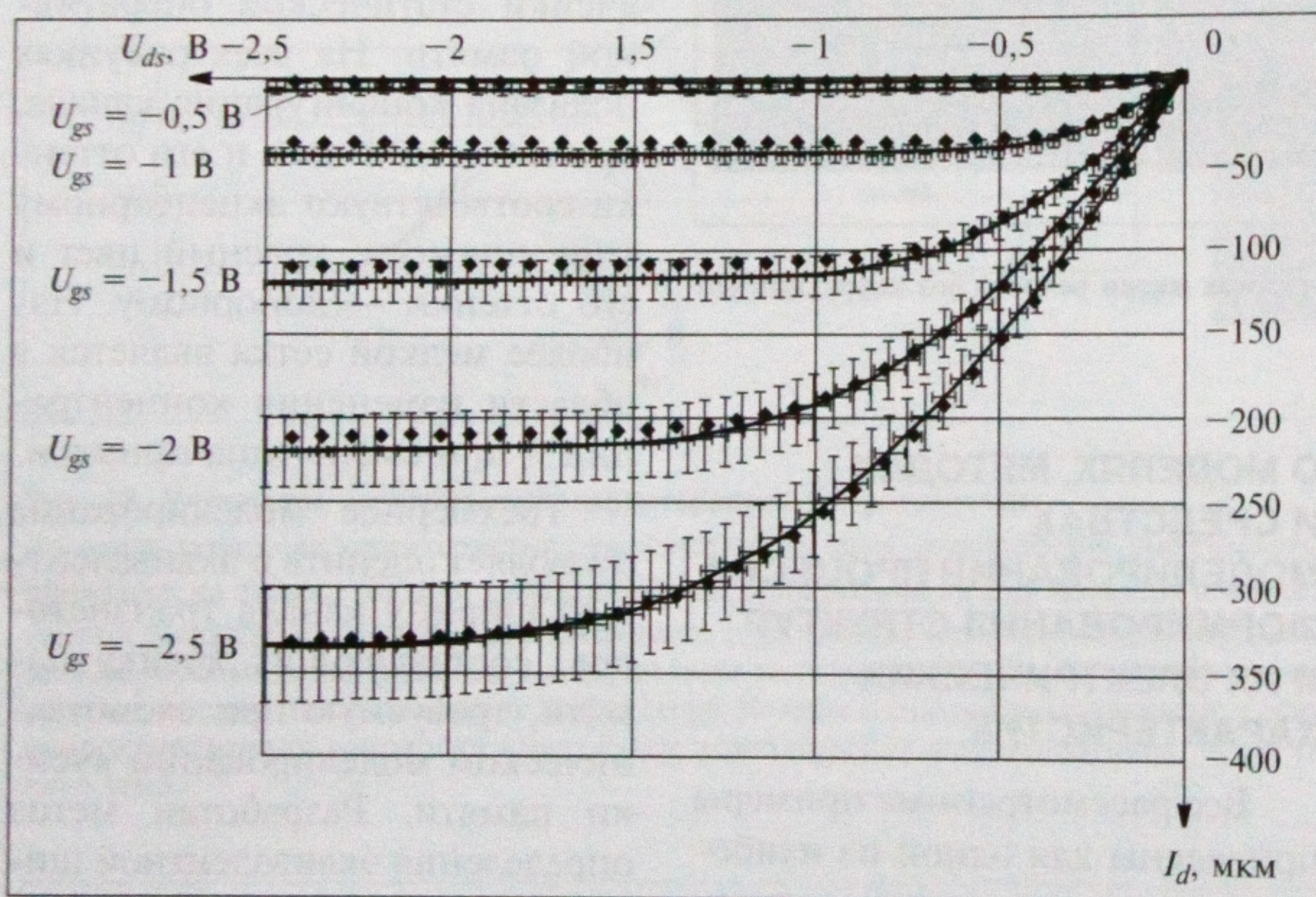


Рис. 18. Семейство выходных характеристик *p*-канального КНИ МОП-транзистора

ментальными характеристиками, не превышающее 10 %. Эти результаты получены для КНИ МОП-транзисторов различных конструкций с учетом литографических искажений топологии затвора. На рисунках 17, 18 представлены семейства расчетных статических выходных характеристик одного из типов КНИ МОП-транзисторов в сравне-

нии с экспериментальными данными (точками показаны экспериментальные данные).

Аппарат конструкторско-технологического моделирования позволил «заглянуть внутрь» исследуемого элемента СБИС, отслеживая изменения электрических характеристик при вариации параметров технологического процесса и геометричес-

ких параметров в топологии транзистора. Так, к примеру, на рис. 19 (см. цветную вклейку) представлены результаты моделирования распределения тока электронов в транзисторах с различной геометрией затвора (контур затвора выделен жирным). На рис. 19, *a–в*, показано растекание токов для идеализированных транзисторов с различной топологией затвора (в предположении абсолютно точного переноса топологии затворов), на рис. 19, *г–е*, — растекание токов транзисторов, форма топологии которых рассчитана с применением литографических моделей. Так, на рис. 19, *г*, проведена коррекция на основе моделей, на рис. 19, *д*, проведена коррекция на основе правил, а на рис. 19, *е*, — без применения коррекции.

В результате установлено, что искажение топологии транзисторов в ходе литографического процесса существенно влияет на электрические характеристики КНИ МОП-транзисторов. Добавление «скоса» в топологию (геометрического перехода по углом 45° из вертикальной части затвора в нижнюю горизонтальную часть), присутствующего в реальных структурах, дает по самым оптимистичным прогнозам почти 7 %-е снижение эквивалентной ширины канала транзистора (на практике из-за общего искажения топологии снижение эквивалентной ширины канала еще больше).

Моделирование также позволило оценить разработанные методы коррекции топологии на основе моделей и правил. Их можно считать эквивалентными, поскольку электрические характеристики транзисторов, полученные этими методами, отличаются примерно на 0,5 %. А учитывая кардинальную разницу во времени проведения процедуры

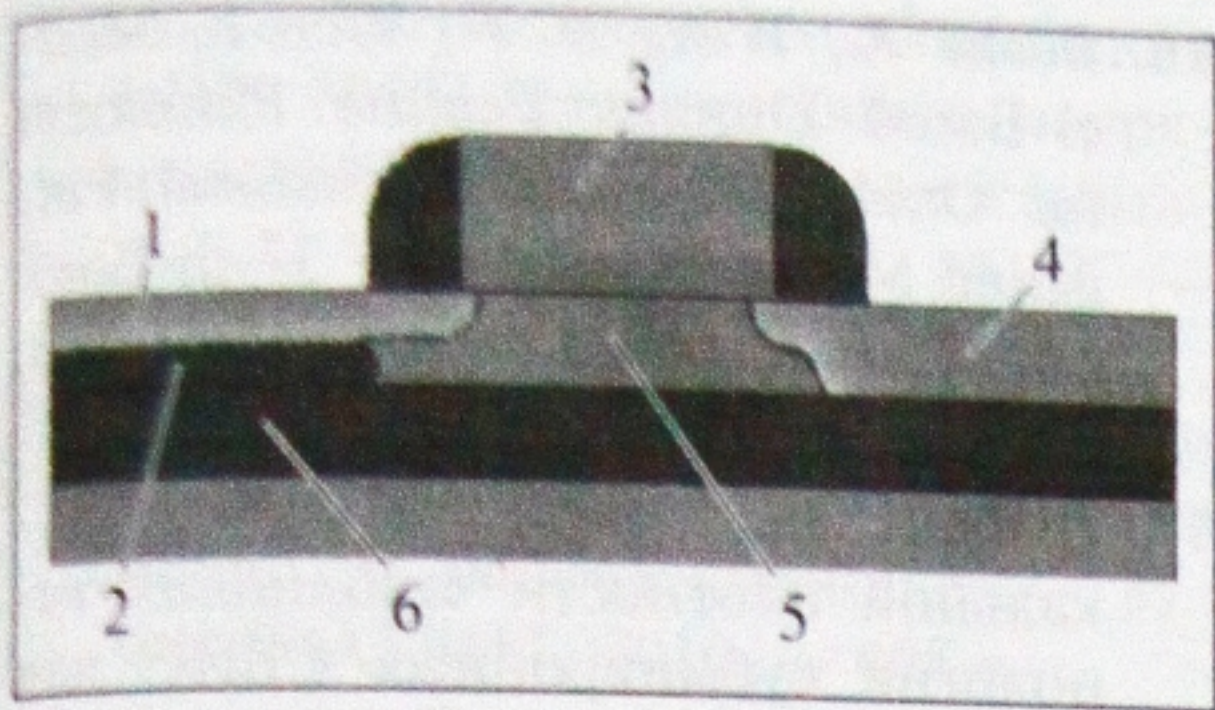


Рис. 20. Структура КНИ МОП-транзистора с сильным донным легированием акцепторной примесью под областью истока:

1 — область истока; 2 — область сильного донного легирования; 3 — область затвора; 4 — область стока; 5 — область кармана; 6 — скрытый окисел

коррекции (на порядок), для технологии с проектными нормами 0,25 мкм был обоснованно сделан выбор в пользу метода коррекции на основе правил (рис. 20).

С помощью моделирования в TCAD были разработаны и новые конструкции КНИ МОП-транзисторов, обладающие повышенной стойкостью к воздействию специальных факторов. В их основе лежит сильное донное легирование акцепторной примесью под областью истока.

ЗАКЛЮЧЕНИЕ

Таким образом, разработаны методы и подходы к моделированию процесса формирования КНИ МОП-структур, которые нашли широкое применение при проектировании новых конструкций транзисторных структур.

Совместная работа кафедры ИУ-4 МГТУ им. Н. Э. Баумана и ОМТ НИИСИ РАН была начата в 2006 г. За семь лет плодотворной работы совместными усилиями преподавателей, специалистов, студентов и аспирантов в НИИСИ РАН было положено начало, реализованы и внедрены на производстве результаты деятельности по направлениям конструкторско-технологического моделирова-

ния и методов проектирования с учетом возможностей технологического процесса изготовления СБИС с субмикронными проектными нормами. За семь лет на базе НИИСИ РАН студентами и аспирантами МГТУ им. Н. Э. Баумана защищены шесть квалификационных работ бакалавра, восемь магистерских диссертаций и дипломных работ, две кандидатские диссертации.

Следует отметить и некоторые наиболее важные задачи, связанные с моделированием КНИ МОП-транзисторов, которые еще предстоит решить.

- Моделирование эффектов пробоя и калибровка модели генерации носителей заряда (при необходимости). Моделирование пробоя особенно важно для технологий так называемого “глубокого субмикрона” (минимальные проектные нормы менее 0,25 мкм), когда вследствие бокового легирования области истока и стока в полевых транзисторах оказываются на расстоянии порядка 0,15 мкм, что налагает существенные ограничения на напряжение их питания (не более 4 В из-за опасности пробоя). В этом случае наибольшая сложность при моделировании процесса пробоя состоит в том, что подключение моделей процесса ударной ионизации ухудшает сходимость Ньютоновских итераций. В качестве меры по преодолению этой проблемы предлагается использовать ступенчатое приближение изменения скорости генерации носителей заряда от нуля до ее значения при заданных граничных условиях.

- Моделирование *n*-канальных КНИ МОП-транзисторов в случае использования в качестве легирующей примеси мышьяка, а не фосфора. Электрические характеристики таких транзисторов оказываются менее чувст-

вительными к вариации параметров высокотемпературных процессов, что наиболее важно при изготовлении аналоговых или аналого-цифровых СБИС.

- Моделирование динамических характеристик КМОП-элементов. В простейшем случае расчет динамических параметров может быть произведен на примере КМОП-инвертора. Однако решение этой задачи, как оказывается, требует существенных вычислительных затрат: для расчетов должны использоваться мощные вычислительные 64-разрядные серверы с объемом оперативной памяти не менее 16 Гбайт.

- Получение параметров SPICE-моделей транзисторов: определение эквивалентной длины и ширины канала. Суть проблемы здесь заключается в том, что полученная по разработанной методике эквивалентная ширина канала не может быть напрямую введена в SPICE-модель транзистора, поскольку в нее вводятся эмпирические коэффициенты, позволяющие рассчитать ширину канала транзистора с привязкой к его геометрическим размерам [26]. Аналогично необходимо разработать методику определения эквивалентной длины канала для последующего ввода эмпирических коэффициентов вычисления длины канала в SPICE-модель транзистора. Решение этой задачи особенно важно на этапе долгосрочного прогноза характеристик технологического процесса еще до изготовления тестового кристалла.

- Получение параметров технологического процесса для случая заранее заданных электрических характеристик транзисторных структур. Это позволит, например, добиться максимума порогового напряжения паразитного КНИ МОП-транзисто-

ра при отклонении параметров основного транзистора не более чем на 10 %. Реализация алгоритма параметрической оптимизации при решении этой задачи предполагает использование как стандартных средств TCAD, так и дополнительно разработанных управляющих модулей на языке TCL.

Решение этих задач позволит расширить представление о КНИ МОП-структурах и всесторонне исследовать их характеристики, а также максимальным образом использовать возможности моделирования, что сократит время и удешевит процесс проектирования СБИС за счет уменьшения числа экспериментальных партий, заменяя их менее дорогостоящим и более быстрым вычислительным экспериментом [27].

ЛИТЕРАТУРА

1. Глушко А. А., Родионов И. А., Макаруч В. В. Моделирование технологии изготовления субмикронных КМОП СБИС с помощью систем TCAD // Технология и конструирование в электронной аппаратуре. — 2007. — № 4. — С. 32—34.
2. Johnson J. M. Modeling of Advanced Integrated Circuit Planarization Processes: Electrochemical-Mechanical Planarization (eCMP), STI CMP using Non-Conventional Slurries. Dis. Master of Science in Electrical Engineering and Computer Science. — Massachusetts: Massachusetts Institute of Technology, 2009. — 228 p.
3. Defense Industrial Base Assessment: U. S. Integrated Circuit Design and Fabrication Capability. — U. S. Department of Commerce Bureau of Industry and Security Office of Technology Evaluation, 2009. — 254 p.
4. Is 28nm really here? Now? When? Published by Cadence Design Systems. Электронный ресурс. Режим доступа: <http://eda360insider.wordpress.com/2011/05/23/is-28nm-really-here-now-when>. Проверено 15.01.2013.
5. Warnock J. A Two-Dimensional Process Model for Chemimechanical Polishing Planarization // J. Electrochem. Soc. — 1991. — Vol. 138. — P. 2398—2402.
6. Burke P. A. Semi-Empirical Modeling of SiO₂ Chemical-Mechanical Polishing Planarization // Proc. VMIC Conf. — 1991. — P. 379.
7. Landis H., Burke P., Cote W. et al. // Thin Solid Films, 220, 1 (1992).
8. Yu T.-K., Yu C. C. and Orłowski. A Statistical Polishing Pad Model for Chemical-Mechanical Polishing // Proc. 1993 IEEE Int. Electron Dev. Mfg. — 1993. — P. 865—868.
9. Ouma D. O. Modeling of Chemical Mechanical Polishing for Dielectric Planarization. Dis. PhD in Electrical Engineering and Computer Science. — Massachusetts: Massachusetts Institute of Technology, 1998. — 228 p.
10. Smith T. H. Device Independent Process Control of Dielectric Chemical Mechanical Polishing. — Massachusetts: Massachusetts Institute of Technology, 1999. — 162 p.
11. Гладких А. А. Временная оптимизация модели ХМП с учетом распределения скорости планаризации по кремниевой пластине // 12-я Молодежная Междунар. науч.-техн. конф. “Наукоемкие технологии и интеллектуальные системы 2010”. — М.: Изд-во МГТУ им. Баумана, 2010. — С. 214—223.
12. Гладких А. А. Анализ повторяемости и точности моделирования операции химико-механической планаризации слоя двуоксида кремния // 13-я Молодежная Междунар. науч.-техн. конф. “Наукоемкие технологии и интеллектуальные системы 2011”. — М.: Изд-во МГТУ им. Баумана, 2011. — С. 324—338.
13. Амирханов А. В., Гладких А. А., Макаруч В. В. и др. Полиномиальная модель химико-механической планаризации в производстве субмикронных СБИС // Вестник МГТУ им. Н. Э. Баумана. Серия “Приборостроение”. — 2012. — № 2. — С. 20—36.
14. Амирханов А. В., Волков С. И., Гладких А. А. и др. Модификация топологии СБИС с учетом технологических ограничений операции химико-механической планаризации // Математическое и компьютерное моделирование систем: теоретические и прикладные аспекты. — М.: НИИСИ РАН, 2011. — С. 4—10.
15. Гладких А. А., Макаруч В. В., Курейчик В. М. Методики оптимального размещения dummy-структур. [Электронный ресурс] // Электронное научно-техническое издание: наука и образование. — 2012. — № 05. Режим доступа: <http://technomag.edu.ru/doc/368628.html>.
16. Boone R., Wong D. F., Tian R. Model-Based Dummy Feature Placement for Oxide Chemical-Mechanical Polishing Manufacturability // 37-th Conf. on Design Automation (DAC'00), 2000. — P. 667—670.
17. Гладких А. А. Алгоритм расчета локальной плотности заполнения топологии субмикронных СБИС для оптимального размещения dummy-структур // Сб. тр. Третьей Всерос. Школы-семинара студентов, аспирантов и молодых ученых по направлению “Наноинженерия”. — М.: Изд-во МГТУ им. Баумана, 2010. — С. 256—267.
18. Thornton S. H., Mack C. A. Lithography Model Tuning: Matching Simulation to Experiment // Optical Microlithography IX, SPIE. — 1996. — Vol. 2726.
19. Sekiguchi A., Mack C. A., Minami Y. and Matsuzawa T. Resist Metrology for Lithography Simulation, Part 2: Development Parameter Measurements // Metrology, Inspection, and Process Control for Microlithography X, SPIE. — 1996. — Vol. 2725.
20. Родионов И. А. и др. Исследование методов калибровки процессных ОРС моделей VT-5 с переменным порогом чувствительности // Микроэлектроника. — 2010. — Т. 39, № 6. — С. 468—480.
21. Родионов И. А. Исследование влияния введения ОРС фигур на параметры полупроводниковых структур с размерами элементов 0,25 мкм // 10-ая Молодежная Междунар. науч.-техн. конф. “Наукоемкие технологии и интеллектуальные системы 2008”, 16 апреля 2008 г. — М.: Изд-во МГТУ им. Н. Э. Баумана, 2008. — С. 115—120.
22. Демин С. В., Амирханов А. В., Михальцов Е. П. и др. Особенности топологического проектирования субмикронных КМОП СБИС с учетом литографических ограничений // Сб. научных трудов НИИСИ РАН “Математическое и компьютерное моделирование систем: теоретические и прикладные аспекты”. — 2009. — С. 24—31.
23. Родионов И. А., Шахнов В. А. Метод расчета значений весовых коэффициентов топологических структур для калибровки литографических моделей // Вестник МГТУ им. Н. Э. Баумана. Секция “Приборостроение”. — 2010. — Спец. выпуск “Наноинженерия”. — С. 150—160.
24. Куреев В. Ю. Введение в технологии микроэлектроники и нанотехнологии. — М.: ФГУП ЦНИИХМ, 2008. — 428 с.

25. Глушко А. А., Шахнов В. А. Особенности трехмерного моделирования КНИ МОП-транзисторов с прямым затвором // Микроэлектроника. — 2012. — Т. 41, № 2. — С. 83–89.

26. Денисенко В. В. Компактные модели МОП-транзисторов для SPICE в микро- и нанoeлектронике. — М.: ФИЗМАТЛИТ, 2010. — 408 с.

27. *Sentaurus Device User Guide*. Mountain View (California USA): Synopsys, 2010. — 994 p.

Алексей Владимирович Амирханов — канд. физ.-мат. наук, рук. группы отделения микротехнологий (ОМТ) НИИСИ РАН;

☎ 8(495) 737-06-06

Алексей Алексеевич Гладких — канд. техн. наук, научн. сотрудник НИИСИ РАН;

☎ 8(495) 737-06-06

Андрей Александрович Глушко — канд. техн. наук, доцент кафедры “Проектирование и технология производства электронной аппаратуры” МГТУ им. Н. Э. Баумана;

☎ 8-499-263-65-53

E-mail: nanosystems@iu4.ru

Владимир Васильевич Макаруч — канд. техн. наук, доцент кафедры “Проектирование и технология производства электронной аппаратуры” МГТУ им. Н. Э. Баумана;

☎ 8-499-263-65-53

E-mail: nanosystems@iu4.ru

Антон Сергеевич Новоселов — инженер НИИСИ РАН;

☎ 8(495) 737-06-06

Илья Анатольевич Родионов — канд. техн. наук, директор НОЦ “Наноплазмоника и сложные функциональные системы” МГТУ им. Н. Э. Баумана;

Вадим Анатольевич Шахнов — д-р техн. наук, профессор, заслуженный деятель науки РФ, зав. кафедрой “Проектирование и технология производства электронной аппаратуры” МГТУ им. Н. Э. Баумана, член-корреспондент РАН.

☎ 8-499-263-65-52

E-mail: shakhnov@iu4.bmstu.ru □

Иллюстрации

к статье А. В. Амирханова, А. А. Гладких, А. А. Глушко, В. В. Макаруча,
А. С. Новоселова, И. А. Родионова, В. А. Шахнова

“Разработка парадигмы проектирования СБИС с учетом результатов конструкторско-технологического моделирования”

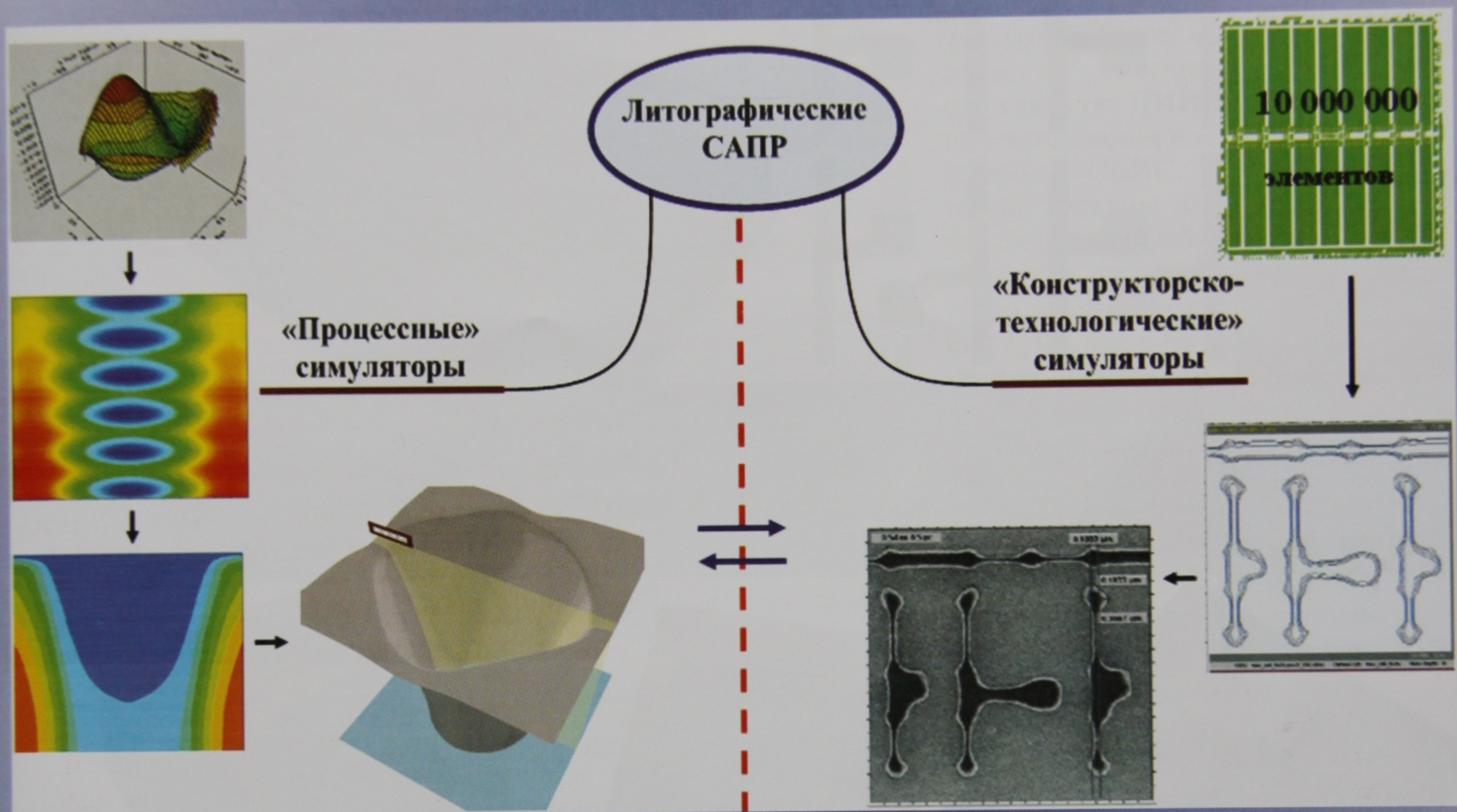
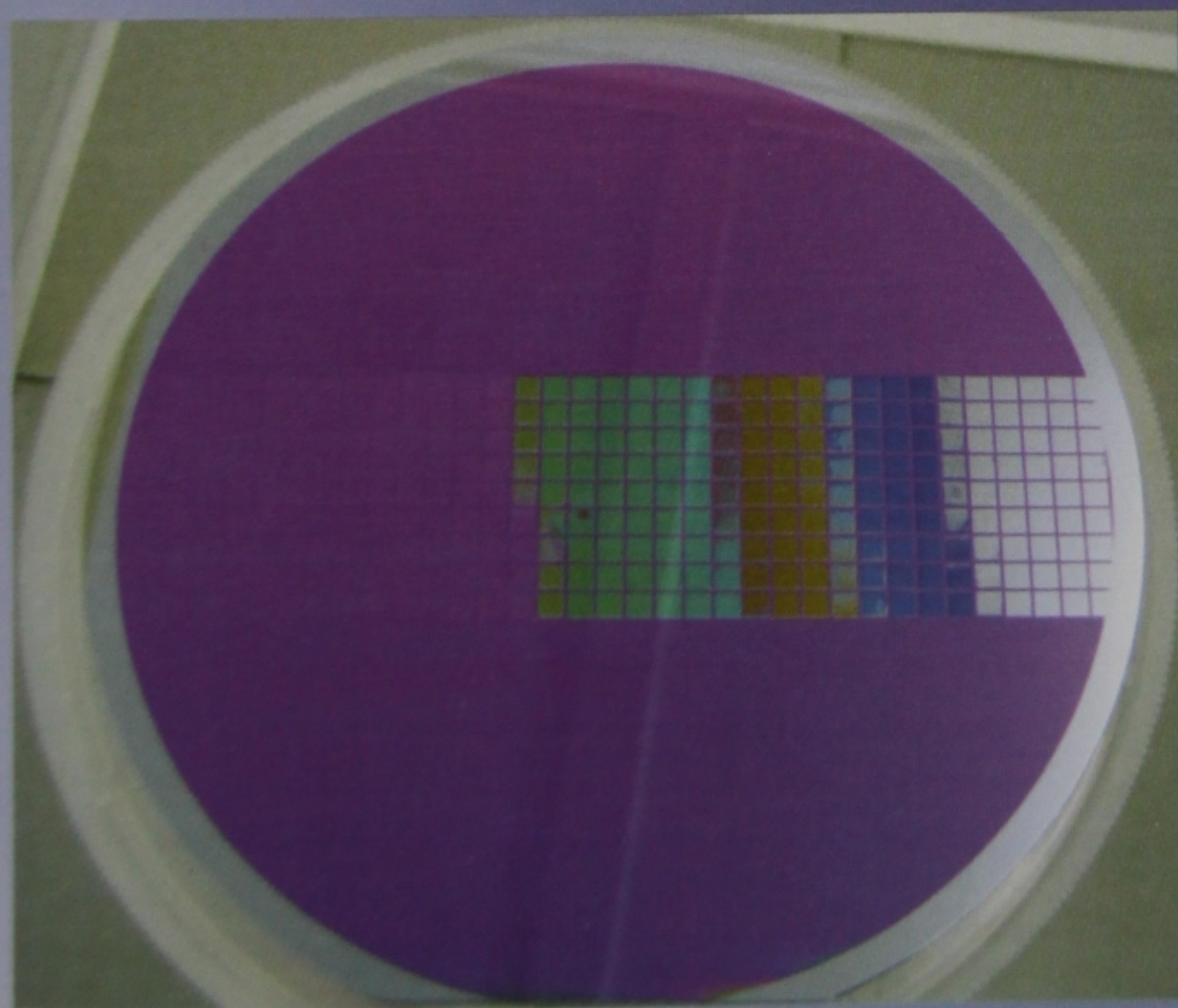
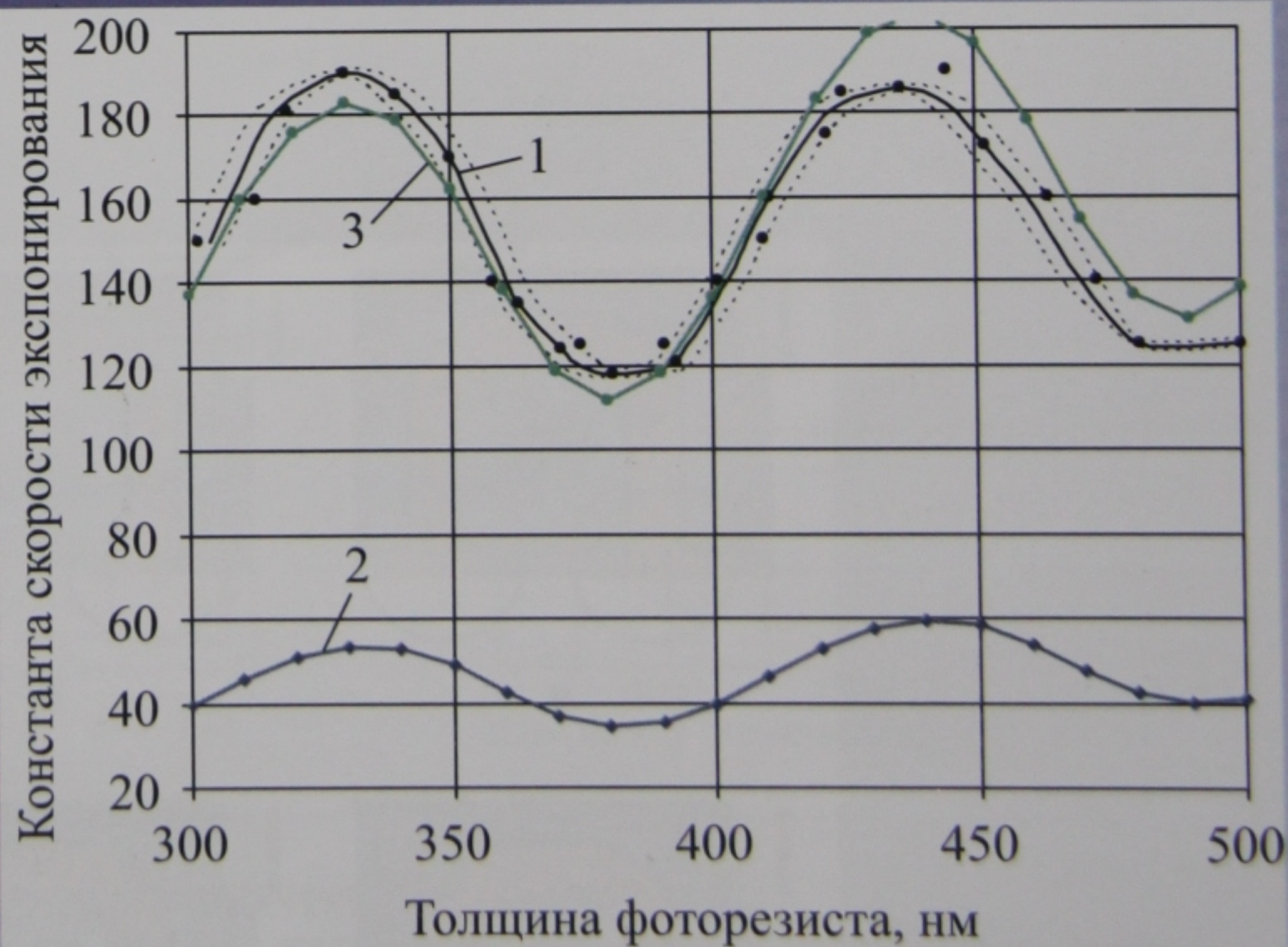


Рис. 4. Классификация литографических САПР



а)



б)

Рис. 5. Экспериментальное получение колебательных кривых:
а – кремниевая пластина, б – колебательные кривые (1 – экспериментальная
аппроксимированная, 2 – модельная, 3 – модельная с коррекцией)

Иллюстрации

к статье А. В. Амирханова, А. А. Гладких, А. А. Глушко, В. В. Макаруча,
А. С. Новоселова, И. А. Родионова, В. А. Шахнова

“Разработка парадигмы проектирования СБИС с учетом результатов конструкторского технологического моделирования”

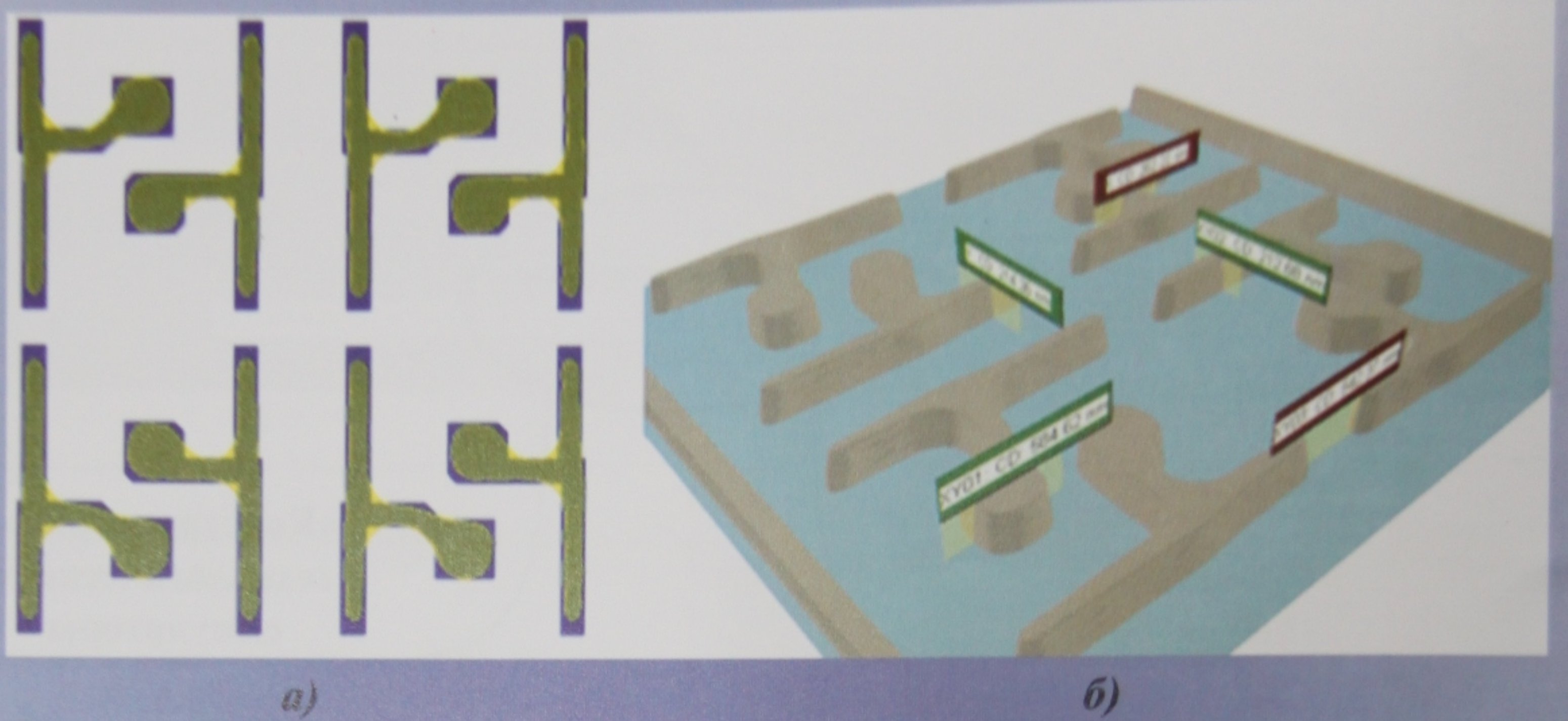


Рис. 7. Результат моделирования топологии ячейки статического ОЗУ:

а – наложение модели рисунка топологии слоя поликремния ячейки статического ОЗУ (синий цвет), б – трехмерная топология ячейки статического ОЗУ с указанием размеров элементов

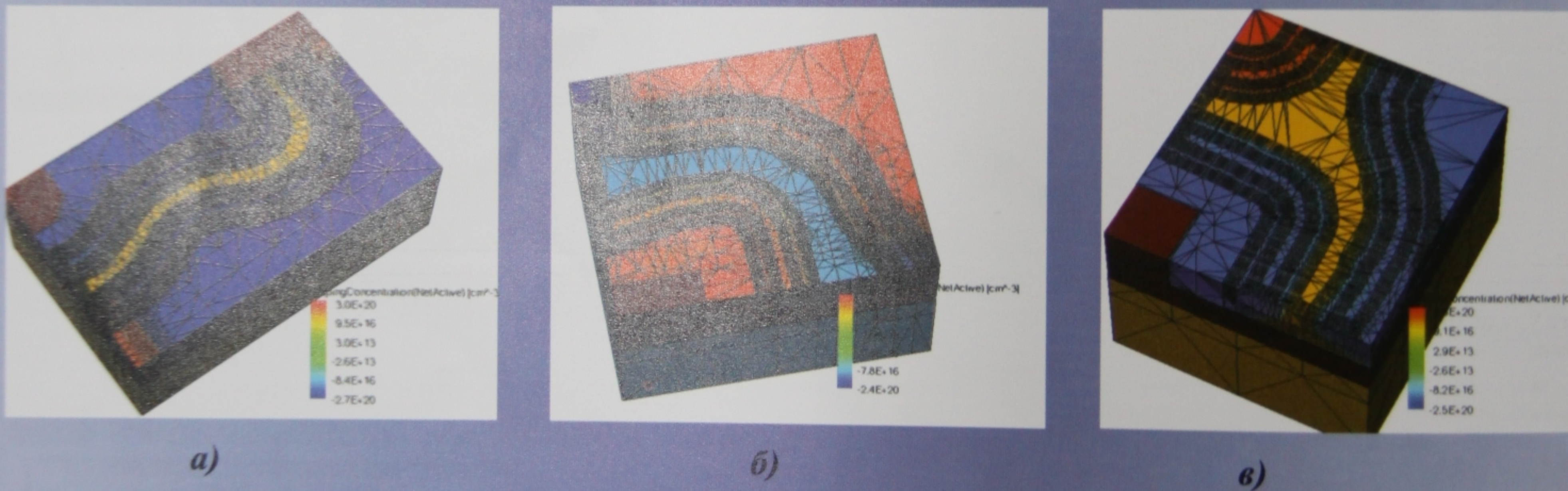


Рис. 16. Конфигурация канала и сетки при моделировании КНИ МОП-транзистора

1-го (а), 2-го (б) и 3-го (в) типов ячейки памяти СОЗУ с минимальными проектными нормами 0,25 мкм

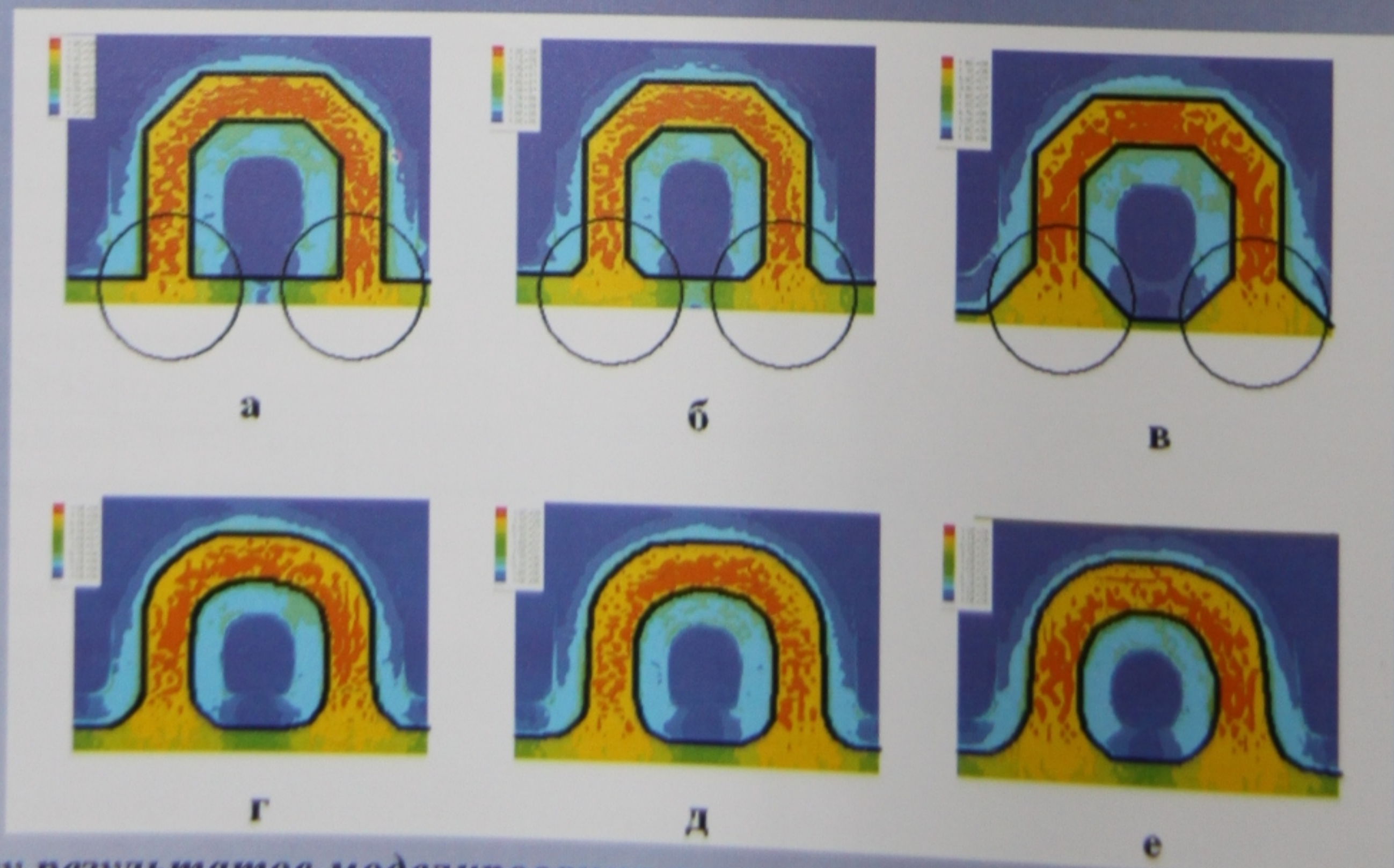


Рис. 19. К анализу результатов моделирования растекания токов при проектировании сложных элементов СБИС