

**Всероссийский конкурс научно-исследовательских работ студентов вузов
в области нанотехнологий и наноматериалов**

Раздел конкурса

Наноинженерия

(название научного раздела конкурса по приказу Федерального агентства по образованию)

ВУЗ

МГТУ имени Н.Э. Баумана
(название вуза)

Факультет

Информатика и системы управления (ИУ)
(название факультета)

Кафедра

Проектирование и технология производства элек-
тронной аппаратуры (ИУ4)
(название кафедры)

ПРОЕКТИРОВАНИЕ ЯЧЕЙКИ ПАМЯТИ СОЗУ ПО ТЕХНОЛОГИИ 0,35МКМ КМОП

Выполнил:

Студент _____ (Гладких А.А.)

Научный руководитель _____ (Макарчук В.В.)

2009 г.

Аннотация

В работе рассмотрены основные принципы проектирования ячейки памяти СОЗУ. Проведен анализ технологических процессов, оказывающих наибольшее влияние на работу СОЗУ. Проведен расчет топологических размеров транзисторов ячейки СОЗУ, выполнено проектирование по рассчитанным размерам топологии ячейки памяти СОЗУ. Проведен анализ уменьшения размеров ячейки памяти с 0,35мкм до 0,25мкм, а также приведены методы решения задачи повышения точности получаемого рисунка резиста. Разработаны скрипты для САПР Mentor Graphics Calibre™ позволяющие реализовать описанные методы коррекции автоматизированным путем.

Abstract

In this paper the basic principles of SRAM cell has been discussed. Analysis of technologic processes that have greatest impact on SRAM performance has been done. Calculation of the transistor layout size of SRAM cell has been performed, and topologically designing of SRAM cell has been performed. Analysis of reducing the size of memory cells with 0.35 microns to 0.25 microns, but also includes methods for solving the problem of improving the accuracy of the output pattern resists. Scripts for CAD Mentor Graphics Calibre™ to implement the methods described by the automatic correction were developed.

СОДЕРЖАНИЕ

СПИСОК УСЛОВНЫХ ОБОЗНАЧЕНИЙ И СОКРАЩЕНИЙ	4
ВВЕДЕНИЕ	5
1. АРХИТЕКТУРА И ОСОБЕННОСТИ ПРОЕКТИРОВАНИЯ ЯЧЕЕК ПАМЯТИ СБИС СОЗУ	7
1.1. Анализ особенностей проектирования и работы СОЗУ	7
1.2. Анализ проектирования и работы ячейки памяти СОЗУ	9
1.3. Выводы	12
2. ТЕХНОЛОГИЯ ИЗГОТОВЛЕНИЯ СУБМИКРОННЫХ КМОП СБИС	13
2.1. Анализ технологических процессов производства КМОП СБИС и эффектов, связанных с уменьшением базовых логических элементов до субмикронных размеров	13
2.2. Исследование особенностей процессов субмикронной литографии	14
2.3. Анализ методов повышения разрешающей способности	19
2.4. Методы коррекции топологии КМОП СБИС при использовании технологии ее обработки по правилам (RВОРС, Rule-Based ОРС)	21
2.5. Обзор основных команд языка стандартного формата правил обработки (SVRF, Standard Verification Rule Format), применяемого для выполнения за- дач коррекции топологии	24
2.6. Выводы	31
3. ПРОЕКТИРОВАНИЕ ЯЧЕЙКИ ПАМЯТИ СОЗУ	33
3.1. Расчет геометрических параметров транзисторов ячейки памяти	33
3.2. Проектирование топологии ячейки памяти	35
3.3. Коррекция топологии ячейки памяти	38
3.4. Выводы	39
ЗАКЛЮЧЕНИЕ	40
СПИСОК ИСТОЧНИКОВ	41

СПИСОК УСЛОВНЫХ ОБОЗНАЧЕНИЙ И СОКРАЩЕНИЙ

СБИС	–	СверхБольшая Интегральная Схема;
МП	–	Микропроцессор;
КМОП	–	Комплементарная структура Металл-Оксид-Полупроводник;
СОЗУ	–	Статическое Оперативное Запоминающее Устройство;
ФШ	–	Фотошаблон;
ИМС	–	Интегральная МикроСхема;
САПР	–	Система Автоматизированного Проектирования;
ФР	–	Фоторезист;
ПОС	–	Положительная Обратная Связь;
АЛУ	–	Арифметико-Логическое Устройство;
СнК	–	Система на Кристалле;
СФ	–	Сложно-Функциональный
SOI	–	<i>Silicon on Insulator</i> – кремний на изоляторе;
LOCOS	–	<i>Local Oxidation of Silicon</i> – локальное окисление кремния;
STI	–	<i>Shallow Trench Isolation</i> – мелкощелевая изоляция;
DRC	–	<i>Design Rules Check</i> – проверка правил проектирования;
LVS	–	<i>Layout versus Schematic</i> – проверка соответствия схемы и топологии ИМС;
OPC	–	<i>Optical Proximity Correction</i> – коррекция оптического эффекта близости;
RET	–	<i>Resolution Enhancement Techniques</i> – технологии повышения разрешения;
SoC	–	<i>System on Chip</i> – система на кристалле;
IP	–	<i>Intellectual Property</i> – сложно-функциональный блок;
GDSII	–	<i>Graphic Data Stream II</i> – поток графических данных (формат хранения информации о топологии ИМС);
OASIS	–	<i>Open Artwork System Interchange Standard</i> – стандарт обмена топологическими данными между открытыми системами проектирования (формат хранения информации о топологии ИМС);

ВВЕДЕНИЕ

Актуальность. С развитием цифровых средств миниатюризации электронной аппаратуры, применение СБИС становится особенно актуально. Разработка методов получения топологии с более высокой плотностью в схемах статической ОЗУ позволит получить более высокую плотность ЗУ. Кроме этого важной особенностью метода используемого в данной работе является отсутствие необходимости в новом литографическом оборудовании, что является важным экономическим фактором. При этом для проектных норм, которые приблизительно равны длине волны установки литографии, данный метод повысит качество получаемой маски резиста, что положительно скажется на выход годных кристаллов, а также на надежности получаемых ИМС.

Из сказанного выше следует, что проведение работы по проектированию ячейки памяти с применением методов повышения разрешающей способности является в настоящее время важнейшей для российской промышленности задачей. Без технологий позволяющих повысить разрешения процессов литографии без изменения длины волны любое совершенствование оборудования столкнется с ситуацией, в которой уменьшение размеров будет невозможно. Единственными решениями позволяющими проводить дальнейшее уменьшение проектных норм является использование технологии повышения разрешающей способности, один из методов данной технологии и будет рассмотрен в данной работе.

Цель работы: Проектирование топологии ячейки памяти КМОП СБИС СОЗУ и исследование метода повышения разрешающей способности для улучшения качества резистивной маски.

Научная новизна работы: Разработанная ячейка памяти СБИС СОЗУ с применением метода коррекции оптического эффекта близости позволит получить инструмент для повышения разрешения критических слоев других интегральных структур, таких как блоков логических элементов. А совершенствование скриптов метода позволит проводить обработку всей ИМС независимо от ее функционального назначения.

Практическая ценность работы: Разработанный метод обработки топологии ячейки памяти для технологии КМОП СБИС, при котором используется модельно-ориентированный САПР, ранее не применялся на российских предприятиях, производящих интегральные микросхемы. Таким образом, полученные в ходе проведенных исследований результаты дадут возможность первого применения на российском предприятии, производящем интегральные микросхемы автоматизированной корректировки топологии с субмикронными размерами в соответствие с возможностями литографического оборудования перед заказом шаблонов. Кроме того, с использованием данного метода имеется возможность перехода на новые проектные нормы (менее 350нм). Такие методы позволят получить элементы памяти с размерами менее длины волны экспонирующего излучения (365нм, i-line литография) на фабрики НИИСИ РАН без перехода на новое дорогостоящее литографическое оборудование. При расширении правил возможна обработка не только отдельных структур (ячейки памяти), но и всей топологии интегральной микросхемы.

Производство ИМС – это фундамент всей индустрии информационных и компьютерных технологий, без этого немыслима ни одна сфера экономики, начиная от оборонного комплекса страны и заканчивая бытовой электроникой. Во всех этих областях используются вычислительные системы разной мощности. При этом ни одна из таких систем не может быть представлена без своего основного элемента – центрального процессора.

На современном уровне развития микроэлектронной промышленности ЦП в большинстве случаев выполняются в виде отдельной микросхемы, когда все функциональные бло-

ки ЦП располагаются совместно на одном кремниевом кристалле. Среди различных важных блоков вычислительного устройства обязательно присутствует быстродействующая память, которая называется кэш-памятью.

Самой быстрой памятью является кэш первого уровня — L1-cache. По сути, она является неотъемлемой частью процессора, поскольку расположена на одном с ним кристалле и входит в состав функциональных блоков. Состоит из кэша команд и кэша данных. Кэш первого уровня L1 работает на частоте процессора, и, в общем случае, обращение к нему может производиться каждый такт (зачастую является возможным выполнять даже несколько чтений/записей одновременно).

Вторым по быстродействию является L2-cache – кэш второго уровня. Обычно он расположен либо на кристалле, как и L1. Объём L2 кэша от 128 Кбайт до 1–12 Мбайт. В современных многоядерных процессорах кэш второго уровня, находясь на том же кристалле, является памятью раздельного пользования – при общем объёме кэша в 8 Мбайт на каждое ядро приходится по 2 Мбайта. Обычно латентность L2 кэша, расположенного на кристалле ядра, составляет от 8 до 20 тактов ядра.

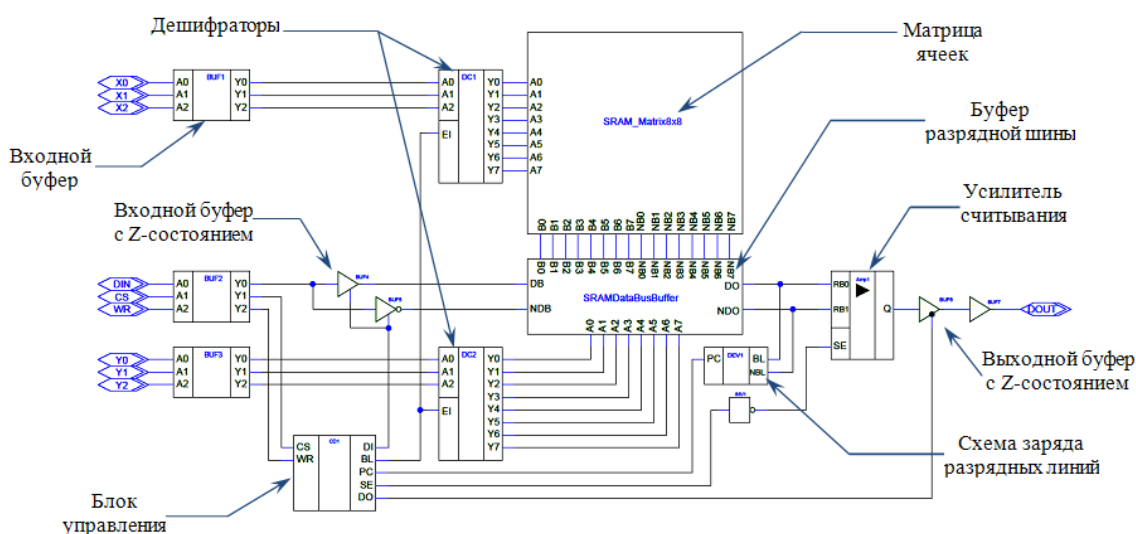
Кэш третьего уровня наименее быстродействующий и обычно расположен отдельно от ядра ЦП, но он может быть очень внушительного размера – более 32 Мбайт. L3 кэш медленнее предыдущих кэшей, но все равно значительно быстрее, чем оперативная память. В многопроцессорных системах находится в общем пользовании[6].

1. АРХИТЕКТУРА И ОСОБЕННОСТИ ПРОЕКТИРОВАНИЯ ЯЧЕЕК ПАМЯТИ СБИС СОЗУ

1.1. Анализ особенностей проектирования и работы СОЗУ.

Известно, что в настоящее время существенная часть площади кристалла СБИС цифровых устройств используется для хранения данных и команд программ. При этом более половины транзисторов в современных высокоскоростных микропроцессорах образуют кэш-память (cache-memory) – промежуточную память с быстрым доступом, используемую для временного хранения информации, которая обычно хранится в менее быстродействующей памяти, но с большой вероятностью может быть оттуда запрошена.

По сути дела кэш-память является статическим оперативным запоминающим устройством (СОЗУ), вариант структурной схемы которого показан на рис.1.1.1. Как видно из рис. 1.1.1 статическая память, как и любой другой вид памяти, реализуется в виде матрицы ячеек [9].



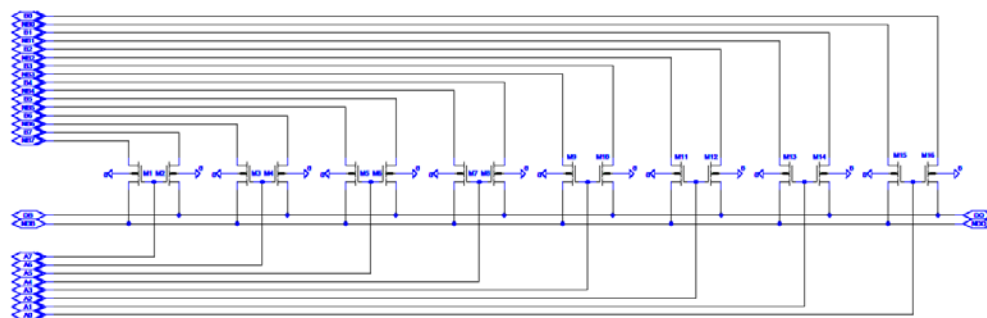


Рис.1.1.2. Принципиальная электрическая схема буфера разрядных линий

Если кристалл СОЗУ расположен в отдельном корпусе, то доступ к памяти осуществляется через выводы корпуса, которые имеют паразитную емкость, наличие которой искажает форму входных сигналов. Помимо этого для корпусированного СОЗУ требуется защита от статического электричества. Если же СОЗУ является частью кристалла микросхемы, то для того, чтобы получить к нему доступ от другого сложно-функционального блока необходимо провести длинные шины, которые также как и выводы корпуса имеют паразитную емкость. Для того чтобы развязать внутренние адресные шины с внешними шинами необходимы буферы – два подряд идущих инвертора построенных на мощных МОП-транзисторах. Для защиты от статического электричества в них дополнительно устанавливают защитные диоды.

Буферы с третьим Z-состоянием на входе и выходе линий данных необходимы для их отключения в требуемый момент времени от общей системной шины. Так при записи информации в ячейку памяти выходной буфер переходит в высокоимпедансное состояние, а при чтении – наоборот.

Как уже говорилось, в микропроцессорных системах СОЗУ обычно выполняет функции кэш-памяти, поэтому с целью обеспечения ее высокого быстродействия оно должно находиться на минимальном расстоянии от процессорного ядра, то есть на самом процессорном кристалле. Для того чтобы уменьшить время считывания информации из ячейки памяти СОЗУ к разрядным линиям подключается усилитель считывания (рис. 1.1.3), принцип работы которого заключается в следующем. Перед выполнением операции чтения разрядные линии предварительно заряжаются до уровня напряжения питания V_{DD} . Для этого низкий уровень сигнала подается на вход РС блока установления и выравнивания напряжения в разрядных линиях, приведенной на рис.1.1.3. Помимо этого происходит выравнивание напряжений в разрядных линиях, что необходимо для того, чтобы при включении усилителя считывания не было бы ошибочного измерения напряжения на разрядных линиях, что могло бы привести к неправильным выходным данным. Затем устройство заряда разрядных линий отключается, и на дешифраторы строк и столбцов подается сигнал снятия блокировки их работы по входу, вследствие чего двоичные коды адресов, подаваемые на входы дешифраторов, будут преобразованы в высокие уровни на линиях столбца и строки матрицы ячеек.

Это приведет к подключению разрядных линий ячейки памяти к общим разрядным линиям, в результате чего уровни на входах усилителя считывания начнут изменяться. Одновременно с подключением разрядных шин на вход усилителя считывания подается сигнал SE, который преобразует дифференциальный сигнал в однополярный. Таким образом, наличие усилителя считывания позволяет повысить скорость считывания информации из памяти. Последним этапом в этом процессе является снятие высокоимпедансного состояния с выходного буфера, то есть появление считанной информации на выходе СОЗУ.

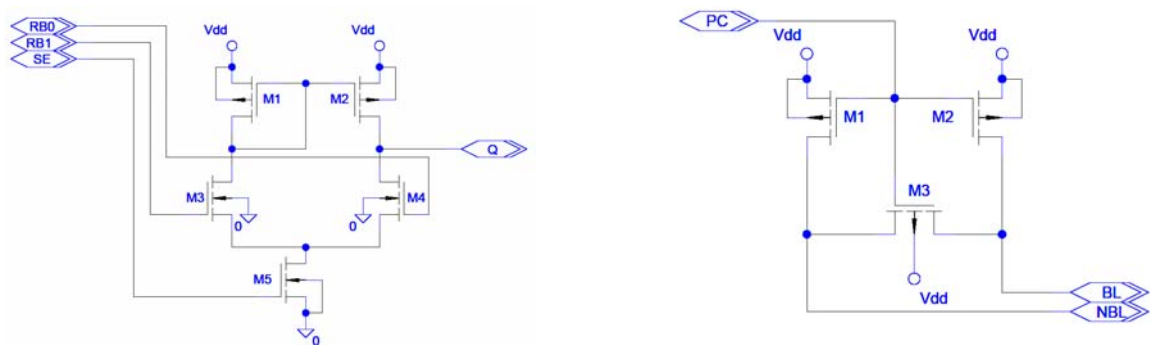


Рис.1.1.3. Схема электрическая принципиальная усилителя считывания (слева) и блока установления и выравнивания напряжения в разрядных линиях (справа)

Чтобы согласовать во времени сигналы, подаваемые на различные блоки СОЗУ, используется блок управления памятью, который обрабатывает входные сигналы выбора микросхемы CS (chip select - выбор кристалла) и сигналы управления чтением-записью WE и OE. Так при установлении на линиях WE и CS высокого уровня, блок управления памятью инициирует запись информации в ячейку памяти, адрес которой поступил на адресные входы X0...X2, Y0...Y2. А при установлении на входах OE и CS высокого уровня происходит считывание ранее записанной информации из ячейки памяти.

1.2. Анализ проектирования и работы ячейки памяти СОЗУ.

С каждым новым поколением высокопроизводительных систем доля площади кристалла, занимаемая памятью, растет. Следовательно, полупроводниковые схемы хранения данных с высокой плотностью заполнения площади кристалла представляют существенный интерес для их оптимизации, например, с целью уменьшения площади, увеличения помехоустойчивости и производительности.

Хранения информации может быть основано на использовании положительной обратной связи (ПОС) или емкостного накопления энергии. Современные полупроводниковые запоминающие устройства создаются на основе одного из указанных выше принципов. В цифровой схемотехнике построенные таким образом устройства представляют собой либо триггеры, либо регистры. Примером сказанного может служить D-триггер – устройство, удерживающее на выходе поступившую ранее на вход информацию до прихода вместе с тактовым сигналом другого значения. Однако его использование для хранения информации требует большей площади кристалла (D-триггер, реализованный на базе схемотехники КМОП, содержит 24 транзисторов)[5], что соответственно уменьшает возможный объем памяти, а также приводит к снижению ее быстродействия вследствие увеличения длины, а, следовательно, и емкости шин данных и тактирования.

Для решения данной проблемы в схемах СОЗУ используют специальную ячейку памяти, состоящую из шести транзисторов[4] (рис.1.2.1). Схемотехнически она похожа на RS-триггер, однако вместо двухвходовых элементов И-НЕ (ИЛИ-НЕ) в ней используются инверторы, включенные по схеме с ПОС.

Ячейка памяти статического оперативного запоминающего устройства содержит:
инверторы, построенные на МОП-транзисторах M1-M6 и M2-M5;
ключи выборки на транзисторах M3 и M4;

Для доступа к ячейке памяти используется линия WL, высокий уровень на которой открывает n-канальные МОП-транзисторы M3 и M4. Выходы инверторов через ключи связаны с разрядными линиями записи-считывания BL и NBL, по которым в режимах чтения и записи считывается или записывается информация. Наличие двуполярного сигнала не обязательно, но, как будет показано далее, такой подход позволяет увеличить скорость считывания информации из ячейки памяти и повысить запас ее помехоустойчивости.

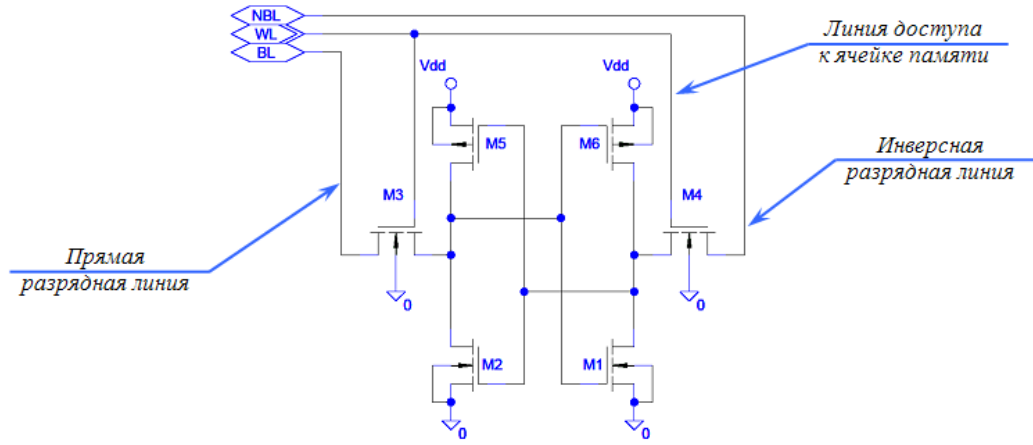


Рис.1.2.1. Принципиальная электрическая схема ячейки СОЗУ

Чтобы обеспечить максимальный объем СОЗУ необходимо добиться минимальных размеров ячейки. Но при этом нельзя снижать ее функциональную надежность, выражающуюся в возможности ошибочной записи и считывания информации. Размер составляющих ее транзисторов можно определить из следующих рассуждений.

Операция чтения. Предположим, что инвертор M2-M5 хранит значение лог. 1, а разрядные линии были заряжены до уровня V_{DD} – напряжения питания. Тогда в ходе операции чтения информация, хранящаяся в ячейке, передается в разрядные линии таким образом, что при открытии транзисторов M3-M4 линия BL сохранит напряжения V_{DD} , а линия NBL разрядится через транзисторы M4-M1. При этом чтобы не произошло случайной записи в ячейку значения лог. 0, необходимо правильно выбрать размеры транзисторов M4 и M1. Так изначально при нарастании сигнала WL значение напряжения ΔV на промежуточном узле между двумя n-канальными МОП-транзисторами M1 и M4 может подняться выше порога переключения транзисторов противоположного «плеча» ячейки, что приведет к изменению хранящейся в ней информации. Для того чтобы этого избежать, необходимо чтобы у транзистора M4 сопротивление канала было выше, чем у транзистора M1.

Известно, что соотношение, связывающее ток стока I_D с напряжениями сток-исток V_{DS} и затвор-исток V_{GS} полевого транзистора, имеет вид [4]:

$$I_D(V_{GS}, V_{DS}) = \mu C_{ox} \frac{W}{L} \left[(V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right]$$

где V_T – пороговое напряжение МОП-транзистора, μ – подвижность носителей, C_{ox} – емкость подзатворного диэлектрика, а L и W – длина и ширина канала транзистора.

Так как ток, протекающий через канал транзистора M4, приблизительно равен току, протекающему через канал транзистора M1 при указанных выше условиях чтения информации из ячейки, то:

$$I_{D,M_4}(V_{DD} - \Delta V, V_{DSAT}) = I_{D,M_1}(V_{DD}, \Delta V)$$

где V_{DSAT} – напряжение насыщения МОП транзистора, а ΔV – максимально допустимое значение пульсаций напряжения. Или иначе:

$$\frac{W_4}{L_4} \left[(V_{DD} - \Delta V - V_T) V_{DSAT} - \frac{V_{DSAT}^2}{2} \right] = \frac{W_1}{L_1} \left[(V_{DD} - V_T) \Delta V - \frac{\Delta V^2}{2} \right]$$

Решив это уравнение относительно значения пульсаций напряжения ΔV , найдем условие, определяющее соотношения между размерами МОП-транзисторов ячейки памяти

$$\Delta V = \frac{V_{DSAT} + CR(V_{DD} - V_T) - \sqrt{V_{DSAT}^2(1 + CR) + CR^2(V_{DD} - V_T)^2}}{CR} \quad (1.1)$$

где $CR = \frac{W_1/L_1}{W_4/L_4}$ – характеристический коэффициент ячейки. В качестве иллюстрации на рис.1.2.2 показана зависимость напряжения пульсаций от коэффициента CR для n-канальных МОП-транзисторов, работающих при напряжении питания $V_{DD} = 2,5B$ и имеющих следующие параметры: $V_{DSAT} = 0,7B$, $V_T = 0,4B$, $L_1 = L_4 = 0,25\mu\text{м}$. Из графика, видно, что для того чтобы обеспечить надежную работу ячейки памяти ($\Delta V < V_T = 0,4B$) характеристический коэффициент $CR \geq 1,25$. То есть ширина канала транзистора M1 должна быть больше ширины канала транзистора M4 в 1,25 раза.

Операция записи. Для определенности предположим, что в ячейке памяти записано значение лог. 1, следовательно, инвертор, состоящий из транзисторов M5 и M2, хранит соответствующее значение. Тогда для записи в ячейку лог. 0 необходимо перевести линию BL в низкое состояние, а линию NBL – в высокое. Из-за условия, налагаемого на размеры транзисторов из соображений правильности функционирования при чтении, напряжение на стоке транзистора M1 не может быть выше V_T (см. операцию чтения).

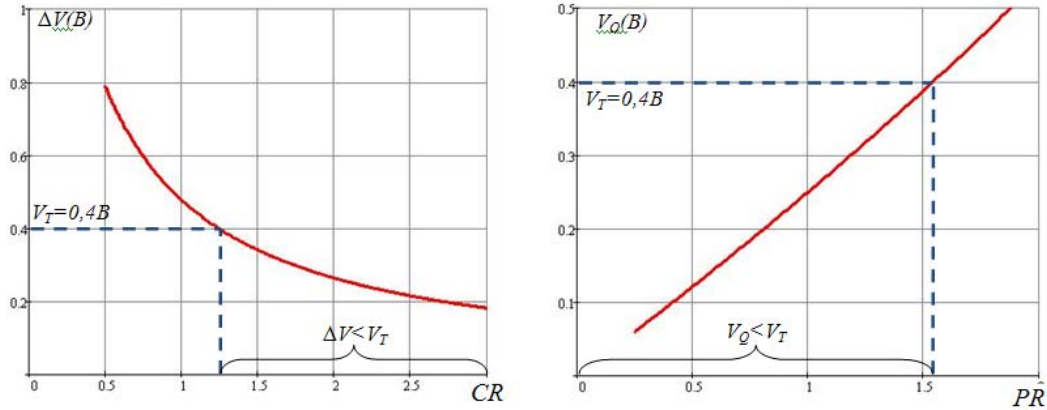


Рис.1.2.2. Зависимость напряжения пульсаций от характеристического коэффициента ячейки (слева) и зависимость напряжение на стоке транзистора M2 от коэффициента нагрузки ячейки (справа)

Следовательно, новое значение в ячейку необходимо записывать через транзистор M3. Надежная запись данных будет гарантирована, если напряжение на стоке транзистора M2 во время всей операции записи будет ниже порогового напряжения транзистора M1. Исходя из соображений аналогичных операции «чтение», для того чтобы определить размеры транзисторов запишем следующее уравнение:

$$\mu_n \frac{W_3}{L_3} \left[(V_{DD} - V_{Tn})V_Q - \frac{V_Q^2}{2} \right] = \mu_p \frac{W_5}{L_5} \left[(V_{DD} - |V_{Tp}|)|V_{DSATp}| - \frac{V_{DSATp}^2}{2} \right],$$

где V_Q – напряжение на стоке транзистора M2. Тогда требуемое напряжение равно:

$$V_Q = V_{DD} - V_{Tn} - \sqrt{(V_{DD} - V_{Tn})^2 - 2 \frac{\mu_p}{\mu_n} PR \left[(V_{DD} - |V_{Tp}|)|V_{DSATp}| - \frac{V_{DSATp}^2}{2} \right]} \quad (1.2)$$

где $PR = \frac{W_5/L_5}{W_3/L_3}$ – коэффициент нагрузки ячейки.

1.3. Выводы.

В данном разделе был представлен подробный анализ взаимодействия блоков статического оперативного запоминающего устройства на примере структурной схемы с блоком памяти, который содержит 64 бита (ячейки). Малый объем блока памяти для анализа был взят лишь потому, что для проектирования ячейки ОЗУ необходимы знания, того как наилучшим образом выполнить согласование ячейки с другими функциональными блоками ОЗУ. По результатам такого анализа видно, на какие элементы нагружены выходы ячейки, с какой целью необходима дифференциальная шина данных, а также другие значимые схемотехнические решения, принятые при проектировании памяти. Эти знания позволят спроектировать топологию ячейки, отвечающую максимальному быстродействию и минимальной площади – основные критерии оценки памяти.

Также еще одним немало важным критерием качества как всей памяти в целом, так и ее отдельной ячейки является надежность сохраненной информации, а именно – это вероятность записи верных данных в выбранную ячейку памяти, а также вероятность отсутствия затирания информации при считывании из ячейки памяти. С целью обеспечения высокой надежности проектируемой ячейки был проведен анализ, позволяющий рассчитать топологические размеры транзисторов ячейки СОЗУ, и далее разработать по этим размерам непосредственно топологию ячейки статической памяти.

В результате анализа было получено, что для топологии ячейки статической памяти не справедливо правило, применяемое при проектировании логических схем для технологии КМОП – ширина р-канального транзистора (PMOS) в 1,5-2 раза больше ширины n-канального транзистора (NMOS) [10]. Вместо этого применяются соотношения, которые получаются по расчетным формулам, приведенным в данной главе. Результат расчета в первую очередь зависит от электрических параметров транзисторов, которые получают с использованием тестовых блоков, обычно помещаемых в нерабочей зоне кристалла (скрайберных дорожках). По измерениям формируются SPICE-параметры (электрические параметры модели МОП-транзисторов), далее по этим параметрам возможно моделирование и определение необходимых для расчета размеров значений параметров.

В итоге в данном разделе был представлен подробный анализ особенности проектирования топологических элементов статической ячейки памяти и ее сопряжения с блоками ОЗУ. В результате чего становится возможным определение размеров транзисторов ячейки позволяющих получить ячейку памяти, удовлетворяющую следующим основным свойствам:

- Увеличение быстродействия;
- Минимизация площади ячейки;
- Увеличение надежности ячейки;

Однако, кроме особенностей топологического проектирования необходимо знание технологического процесса, и операций наиболее критичных к уменьшению размеров, а также методов позволяющих преодолеть ограничения уменьшения размеров элементов.

2. ТЕХНОЛОГИЯ ИЗГОТОВЛЕНИЯ СУБМИКРОННЫХ КМОП СБИС

2.1. Анализ технологических процессов производства КМОП СБИС и эффектов, связанных с уменьшением базовых логических элементов до субмикронных размеров.

СБИС на основе КМОП завоевали и удерживают ведущее положение на мировом рынке микроэлектронных изделий. Большинство современных СБИС производятся по технологии КМОП. Это вызвано тем, что МОП элементы имеют малое энергопотребление в статическом режиме работы, это позволяет уменьшить потребляемую мощность, кроме того при использовании МОП элементов имеется возможность разработки СБИС с высокой помехоустойчивостью. Также относительная простота схемной реализации, дает возможность снижения времени проектирования КМОП устройств, повысить качество конечной продукции и получить высокий процент выхода годных кристаллов с пластины.

Технологический процесс производства современных КМОП схем содержит большое число этапов, которые включают операции литографии, травления, окисления, нанесения, ионной имплантации и планаризации (выравнивания поверхности). Эти этапы часто повторяются во время всего цикла изготовления, а их общее число может достигать нескольких сотен. Для большинства процессов используются маски с целью определения мест на пластине, которые будут обработаны в определенной операции. Число шаблонов, необходимое для изготовления современной СБИС, достигает нескольких десятков штук. Различие между технологиями производства ИМС в основном характеризуются следующими особенностями[9]:

- минимальным размеров топологического элемента;
- толщиной подзатворного окисла;
- числом слоев металлизации;
- типом проводимости материала пластины, а также технологией, по которой была получена пластина (эпитаксиально-наращенный слой или SOI-технология);
- материалом затвора транзисторов;
- методом изоляции транзисторов: LOCOS или STI процесс.

Переход к субмикронным размерам является важной технологической задачей, в результате чего значительно снижаются размеры кристалла, и повышается быстродействие получаемых КМОП СБИС. Однако уменьшение длины канала и толщины подзатворного диэлектрика приводит к тому, что появляются ограничивающие факторы и короткоканальные эффекты, такие как:

- эффект смыкания р-п-переходов;
- туннелирование носителей заряда через тонкий диэлектрик затвора;
- высокая плотность поверхностных состояний на границе раздела полупроводник-диэлектрик;
- накопление заряда в диэлектрике в результате проникновения горячих электронов и захвата их ловушками на границе раздела.

При длинах каналов менее 200 нм существенное влияние на характеристики МОП-транзисторов оказывают эффекты ударной ионизации, баллистического пролета, насыщения дрейфовой скорости и др.

Снижение порогового напряжения при сокращении длины канала служит индикатором проявления короткоканальных эффектов при разработке новых технологий и одновременно является существенным препятствием на пути сокращения размеров транзисторных структур.

Для борьбы с эффектами короткого канала используется изменение профиля легирующей примеси как в горизонтальном, так и в вертикальном направлениях. В горизонтальном направлении (вдоль канала) формируют “ореол” вокруг слаболегированных областей (LD) истока и стока (рис.2.1.1), выполняют ионную имплантацию в кармашки.

В вертикальном направлении создают неоднородное (ретроградное) распределение

примеси, экстремально мелкие области истока и стока. Для создания разделения между слоями металлов применяют новые материалы (low-k) с меньшей, чем у оксида кремния, диэлектрической проницаемостью, также для формирования затвор используются специальные технологии (High-k Metal Gate).

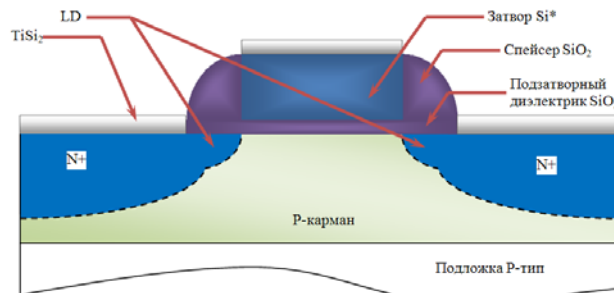


Рис.2.1.1. Вертикальный разрез МОП-транзистора

При производстве современных КМОП СБИС основным этапом технологического процесса является литография – это процесс переноса топографической картины шаблона на поверхность полупроводниковой пластины. Именно процесс литографии определяет минимальный размер элементов на полупроводниковом кристалле, степень интеграции микросхемы, все, что приводит к увеличению быстродействия при ее эксплуатации.

Из более чем четырехсот различных операций, выполняемых во время обработки кремневой пластины, более двадцати операций составляет литография, и при этом результат каждой операции литографии в значительной степени влияет на результат остальных этапов производства ИМС и, следовательно, на процент выхода годных кристаллов. В настоящее время полупроводниковые приборы микроэлектроники создаются главным образом методом оптической проекционной литографии.

2.2. Исследование особенностей процессов субмикронной литографии.

Литография – это процесс, с помощью которого геометрические фигуры переносятся с шаблона на кремниевую пластину. Процесс литографии осуществляется с использованием фоточувствительных материалов, которые могут выполнять функцию маски – защитного слоя при последующей обработке полупроводниковой пластины. Это позволяет получать на поверхности пластины различные геометрические фигуры, то есть топологию слоев микросхемы. Литография состоит из шагов, показанных на рис.2.2.1.

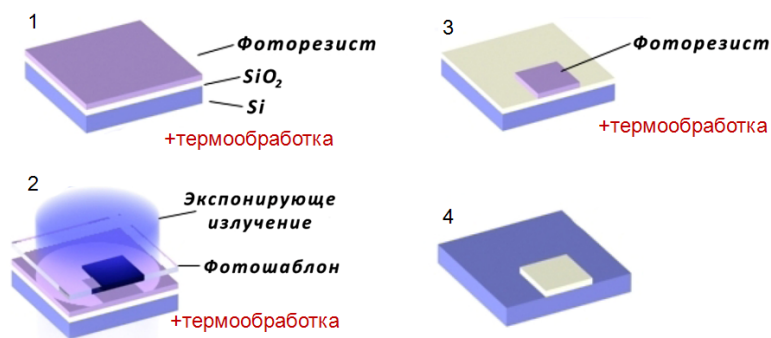


Рис.2.2.1. Схема процесса литографии

1 – Нанесение резиста, 2 – Экспонирование резиста
3 – Проявление и травления окисла, 4 – Результирующая защитная маска

При этом после каждого из шагов проводится термообработка, необходимая:

После первого этапа: для сушки фоторезиста, так как фоторезист представляет собой жидкий материал, который наносят в центрифуге.

После второго этапа: для удаления эффекта стоячих волн, возникающего из-за отражения падающих волн от пластины и последующему наложению падающей и отраженной волны (рис.2.2.2), что приводит к волнообразному профилю получаемой маски из фоторезиста (рис.2.2.3).

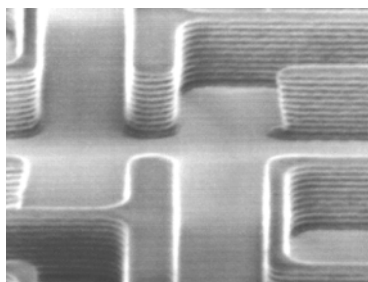


Рис.2.2.2. Профиль фоторезиста получаемый в результате эффекта стоячих волн.



Рис.2.2.3. Возникновение стоячих волн в фоторезисте.

Также для уменьшения эффекта стоячих волн на поверхность пластины наносят антиотражающее покрытие. На границу раздела фоторезист-подложка наносится специальный слой, имеющего толщину $t = m \cdot \lambda / 4n$ (m -порядок, n -коэффициент преломления покрытия), который обеспечивает сдвиг фазы на полдлины волны.

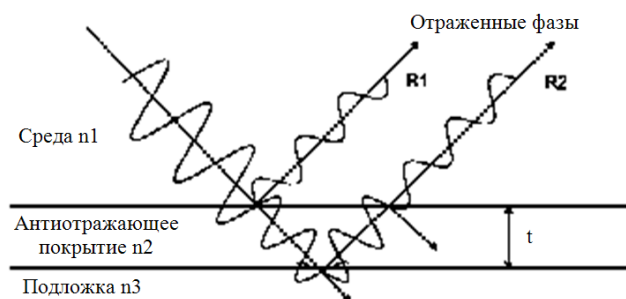


Рис.2.2.4. Подавление эффекта стоячих волн при введении антиотражающего покрытия

После третьего этапа: проводится с целью дублирования проявленного фоторезиста.

Для производства ИМС используются система пошаговой мультипликации изображений (степпер) – данное устройство, применяется в промышленной литографии для экспонирования рисунка в слое ФР путем проецирования изображения ФШ на поверхность резиста.

Для того чтобы получить высокое разрешение отображается только небольшая часть рисунка ФШ. Проекционные устройства печати, в которых изображение на шаблоне перемещается над поверхностью пластины, называют системами с непосредственным перемещением по пластине или степперами. Изображение топологии или структуры уменьшается и проецируется на поверхность пластины. После экспонирования одного элемента кристалла пластина сдвигается или перемещается на столике с интерферометрическим управлением по осям ХУ к следующему элементу одного кристалла, и процесс повторяется (рис.2.2.6).

Также в литографии используются и другие типы установок – сканеры. В таких установках экспонирование изображение происходит через узкую щелевую диафрагму (рис.2.2.5) по одной из осей, при этом движение придается столу с пластиной и фотошаблоном. Из-за этого в сканерах требуется жесткая синхронизация скорости пластины и шаблона, чтобы обеспечить необходимую точность перемещения.[7]

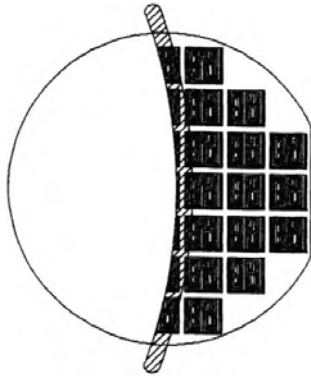


Рис.2.2.5. Схема установки сканера

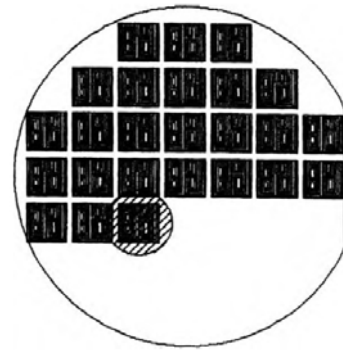


Рис.2.2.6. Схема установки степпера

Наиболее совершенным типом установок для литографии считаются установки типа сканер-степпер, совмещающей преимущества, как сканеров, так и степперов. Этот вид установок для получения изображения на пластине обеспечивает как в степпере пошаговый переход от одной области сканирования (кадра) до другой области сканирования. При этом экспонирование изображения проводится не всего кадра, как это происходит в степпера, а путем сканирования кадра через щелевую апертуру (рис.2.2.7).

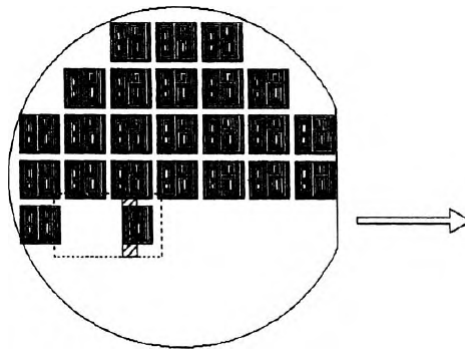


Рис.2.2.7. Схема установки сканнера-степпера

В типовой литографической установке освещение шаблона осуществляется по схеме Келера (рис.2.2.8). Поле, излучаемое источником, распространяется через осветительную оптическую систему, которая строит изображение источника в плоскости зрачка проекционного объектива. Между осветительной системой и проекционным объективом помещается ФШ, на элементах которого проходящий свет претерпевает дифракцию. Дифрагмированное поле преобразуется проекционным объективом и на поверхности ФР образуется "воздушное" изображение, а внутри слоя ФР – "скрытое" изображение[7].

Перед проецированием изображения на пластину проводится нанесение фоточувствительного материала – фоторезиста. Существует два типа ФР: позитивный и негативный. Так при попадании света, длина волны которого находится в области чувствительности ФР, на позитивный ФР в светочувствительном материале происходит разрушения полимерных связей и такие области ФР становятся растворимы в проявителе.

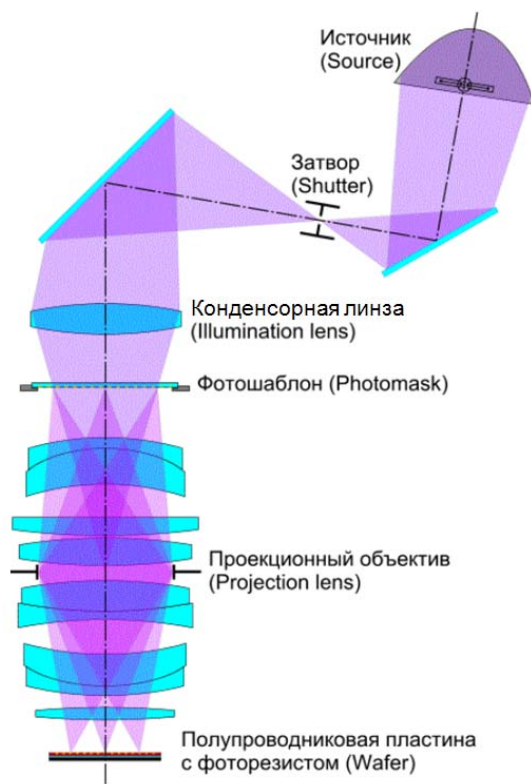


Рис.2.2.8. Схема установки пошаговой мультипликации

В случае негативного резиста ситуация изменяется: изначально растворимый в проявителе слой образует полимерные связи при попадании на него света, следовательно при проявлении негативного ФР останутся только засвеченные области. Резист содержит нолочную смолу, растворимость которой изменяется под действием кислот.

Ограничение проекционной литографии определяется длиной волны экспонирующего излучения λ , а также числовой апертурой оптической системы NA – параметр, определяющий светосилу и разрешение объектива или линзы. $NA = n \cdot \sin \alpha$, где α – максимальный угол падения света, еще попадающего в линзу, n – показатель преломления линзы. NA является одним из основных параметров, определяющих разрешение литографической системы.

Минимальный разрешаемый размер, получаемый в результате проецирования изображения ФШ на пластину, ограничивается эффектами дифракции и также зависит от свойств используемого ФР. Минимальный прорабатываемый в процессах литографии размер определяется выражением (2.1), также известным как критерий Релея:

$$d = k_1 \frac{\lambda}{NA}, \quad (2.1)$$

где – k_1 коэффициент, характеризующий технологические параметры процесса литографии, которые не относятся к параметрам проецирующих линз, то есть, например, такие параметры, как условия экспонирования, тип используемого ФР, а также параметры используемого ФШ.

Из формулы для разрешающей способности оптической литографии следует, что лучшее разрешение можно получить за счет увеличения числовой апертуры проекционной установки или перехода к источникам излучения с более короткой длиной волны.

Значение коэффициента k_1 часто используется для определения качества различных литографических технологий. Обычная литография, в которой не используются какие-либо дополнительные технологии улучшения качества резистивной маски, характеризуется значениями коэффициента k_1 от 0,6 до 0,8. При нестандартной системе экспонирования

совместно с фазосдвигающими ФШ значение коэффициента находится k_1 до 0,45. Улучшенная технология фазосдвигающих ФШ, такая как AAPSM (Alternating Aperture Phase Shift Mask) снижает k_1 до 0,45.

Выражение (2.2) определяет глубину резкости (фокусировки ΔZ), и является второй формулой Релея:

$$\Delta Z = k_2 \frac{\lambda}{NA^2}, \quad (2.2)$$

где ΔZ – глубина фокусировки, λ – длина волны экспонирующего излучения, NA – числовая апертура проекционного объектива. Значение коэффициента k_2 зависит от типов фигур, которые присутствуют на ФШ.

Существует эмпирическое правило: при множестве различных фигур на ФШ $k_2 = 0,8$. Некоторые специфические типы фигур, такие как дифракционные решетки, с эквивалентным размером линий и зазоров могут иметь гораздо более высокие значения k_2 .

Проекционная печать позволяет полностью исключить изменение рисунка шаблона. Изображение топологического рисунка шаблона проецируется на покрытую резистом кремниевую пластину, которая находится на расстоянии нескольких сантиметров от шаблона.

После генерации изображения фотошаблона и его проверки шаблон доставляется на производство интегральных микросхем. При этом шаблон используется для формирования изображений с размерами порядка сотен и десятков нанометров. При такой точности даже попадание частицы с микронными размерами приведет к полной непригодности фотошаблона. При автоматической или ручной перегрузке существует большая вероятность попадания на поверхность шаблона различных частиц. Другая опасность для шаблона это разряд статического электричества, который может возникнуть при перемещении шаблона оператором, даже небольшой импульс тока, проходящий через полоски хрома с микронными размерами, может вызвать уничтожение или расплавления части фотошаблона.

Однако наибольшую опасность для шаблонов представляют обычные частицы пыли. Наиболее удачным методом решения данной проблемы (попадания загрязнений на поверхность шаблона) будет защита поверхности шаблона тонкой прозрачной пленкой называемой пеликлом (pellicle). Пеликл представляет собой пленку, из органического полимера закрепленную на рамке, на высоте 4-10мм от поверхности фотошаблона. Рамка с пленкой полностью герметизирует рисунок фотошаблона, и таким образом частицы пыли ни каким образом не могут попасть на поверхность фотошаблона. Частицы же, которые оказываются на поверхности пленки – пеликла будут проецироваться так далеко от фокальной плоскости, что будут просто не различимы для проекционной оптики (рис.2.2.9). Так при высоте расположения пеликла над поверхностью шаблона 5мм, частицы размером 75мкм в диаметре будут вызывать «затемнение» изображения менее чем на 1% [7].

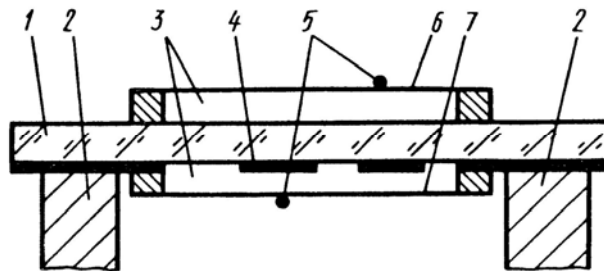


Рис.2.2.9. Схема защитной пленки ФШ - пеликла

1 – стеклянная пластина, 2 – опорная рама, 3 – защищенный от внешних загрязнений объем, 4 – маскирующий слой, 5 – пылевые загрязнения, 6,7 – защитные пленки рабочей и не рабочей поверхностей (пеликл)

Рассмотренные процессы литографии позволяют повысить качество получаемого изоб-

ражения (маски резиста), однако размеры меньшие длины волны света остаются недостижимы без использования специальных методов.

2.3. Анализ методов повышения разрешающей способности.

Для получения топологических элементов с меньшими, а также близкими линейными размерами к длине волны экспонирующего излучения (например, для i-line литографии – $d = 0,25 \mu\text{м}$ или $d = 0,35 \mu\text{м}$) используются комплекс технологий позволяющий повысить минимальный размер разрешаемого элемента (RET) (рис.2.3.1). Среди которых коррекция оптического эффекта близости (Optical Proximity Correction), модификация пропускающей способности светлых участков маски (Mask Transmission Modification), применение фазосдвигающих масок (Phase-Shifting Masks), применение внеосевых источников света (Off-Axis Illumination), применение фильтров поверхности зрачка (Pupil Plane Filtration) и др.

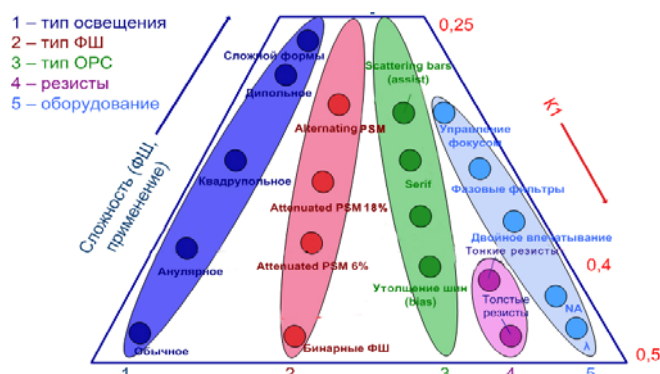


Рис.2.3.1. Методы повышения разрешающей способности (RET)

Для начала рассмотрим методы, относящиеся непосредственно к модификации установки литографии. Для повышения разрешения возможна модификация формы источника излучения без уменьшения его длины волны, а именно смещения активной части источника с осей.

Внеосевое освещение ОАИ (рис.2.3.2) приводит к наклону оси пучка освещения по отношению к оптической оси проекционной системы и тем самым как бы дает возможность сформировать разность фаз на соседних элементах изображения шаблонов с бинарной маской.

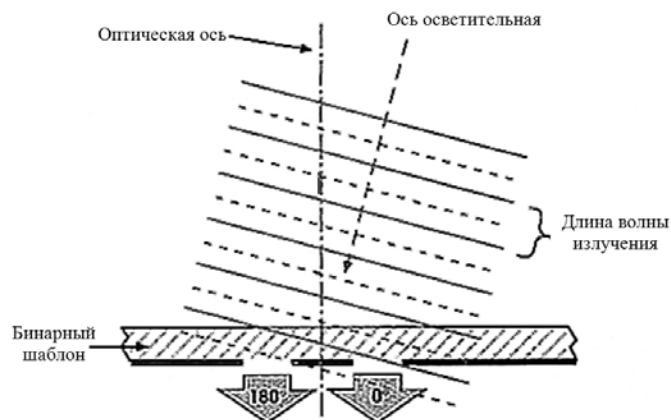


Рис.2.3.2. Принцип внеосевого освещения

Величина этой разницы фаз будет зависеть от угла наклона оси и длины волны экспонирующего излучения, а также определяться спецификой технологии, прежде всего шагом

и размерами минимальных элементов. Различают несколько видов ОАИ (рис.2.3.3) – аннулярное и квадрупольное в двух вариантах: с вертикальным и горизонтальным полюсом и вариант с диагональными полюсами[3].

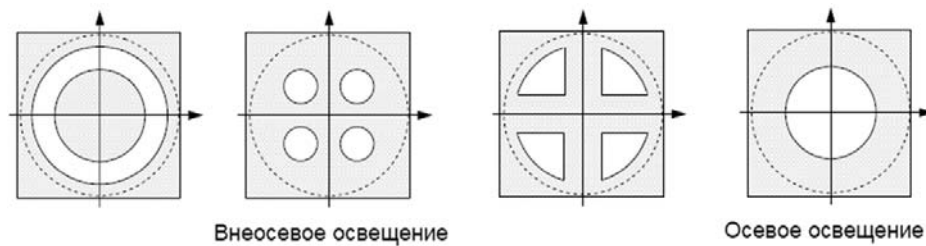


Рис.2.3.3. Осевой источник (справа) и внеосевые источники (слева) излучения

Исходя из выше приведенного упрощенного, рассмотрения внеосевого освещения становится ясным, что оно должно быть оптимизировано с учетом параметров осветительной системы и специфики топологии экспонируемого слоя, что приводит к необходимости перенастройки осветительной системы степера для различных видов технологического рисунка.

Другим методом повышения разрешающей способности, в котором вводится дополнительные элементы в установки литографии, является иммерсионная литография. Для того чтобы повысить разрешение изображения согласно закону проекционной литографии необходимо увеличивать числовую апертуру объектива. Это можно добиться с использованием иммерсионных жидкостей, которыми заполняют пространство между объективом и пластиной.

Так как числовая апертура объектива определяется по следующим выражением $NA = n \cdot \sin(\theta_{\max})$, где $\theta_{\max}$ -максимальный угол при котором лучи, падающий на линзы объектива собираются в фокусе, n -коэффициент преломления среды (рис.2.3.4).

При прохождении светом границы раздела объектив-воздух возможен такой угол, при котором наблюдается полное отражение падающих на границу раздела лучей.

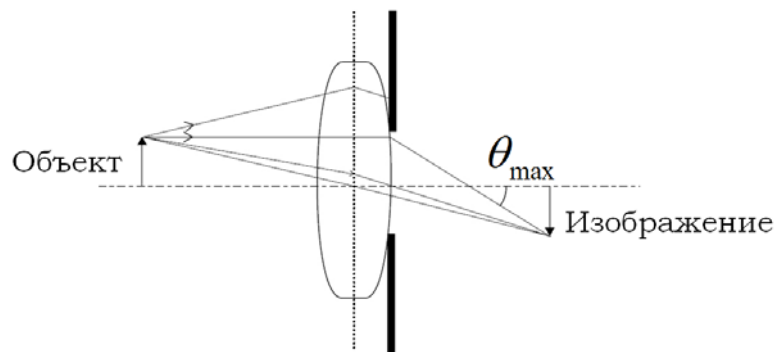


Рис.2.3.4. Числовая апертура объектива

В результате чего максимальный угол собирающихся в фокусе линзы лучей $\theta_{\max}$ будет уменьшен. Угол полного отражения определятся из закона отражения света от границы раздела: $\frac{n_1}{n_2} = \frac{\sin(\theta_2)}{\sin(\theta_1)}$, из приведенного выражения видно, что можно подобрать такую жидкость для заполнения пространства между объективом и пластиной, что угол полного отражения света будет значительно увеличен (рис.2.3.5) [7].

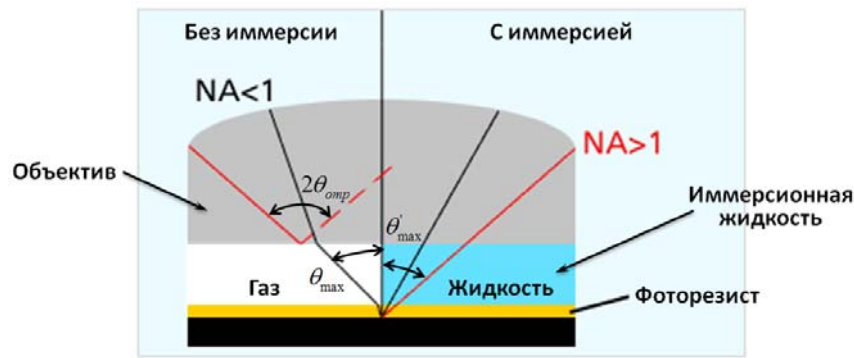


Рис.2.3.5. Схема иммерсионной литографии

Кроме методов изменения установок литографии (изменение формы источников излучения, совершенствования точности обработки поверхности линзы, введения жидкостей, повышающих апертуру) существуют методы, в которых модифицируется инструмент создания изображения в процессах литографии – шаблон.

Покрытие PSM с сильным сдвигом (Hard-phases Shift Mask) наносится совместно с маской в слое хрома, покрытие или протравливание кварцевой подложки осуществляется чередующимся способом (alternating). Сильный сдвиг фазы в такой чередующейся структуре приводит к перекрытию областей рассеяния от элементов изображения и их взаимному гашению, что в свою очередь увеличивает контраст изображения на пластине.

Таким образом, с помощью таких шаблонов можно переносить проекционным способом топологические элементы с размером меньше длины волны [3].

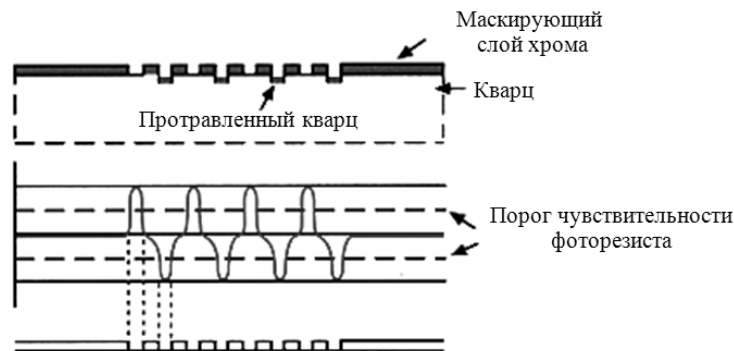


Рис.2.3.6. Фотошаблон с фазовым сдвигом

Однако, кроме модификации фазы проходящего через шаблон света, используется метод, в котором проводится изменение (коррекция) топологии разработанной ИМС, такой метод получил название метод коррекции оптического эффекта близости. Данный метод выбран основным средством повышения разрешения и будет рассмотрен в следующей главе, как наиболее доступный метод получения субмикронных размеров элементов на полупроводниковой пластине.

2.4. Методы коррекции топологии КМОП СБИС при использовании технологии ее обработки по правилам (RBOPC, Rule-Based OPC).

Для повышения качества процесса литографии применяют различные методы. Одним из них сегодня является метод коррекции оптического эффекта близости (OPC). Его суть заключается в изменении геометрии шаблона таким образом, чтобы резистивная маска на пластине в наибольшей степени соответствовала спроектированной топологии. Чтобы это сделать, необходимо выяснить, как влияет на нее та или иная фигура коррекции. Имея набор таких данных, можно разработать правила расстановки фигур коррекции в топологии.

Основными фигурами, используемыми в методе коррекции оптического эффекта близости, являются: “Line end extension”, “Hammer head”, “Serif”, “SRAF”, “Bias” и “Anti-Serif” (рис.2.4.1).

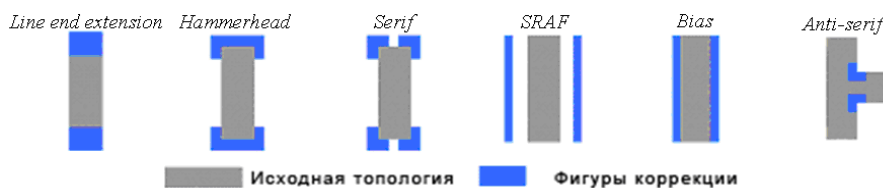


Рис.2.4.1. Топология фигур коррекции оптического эффекта близости

Один из подходов к коррекции топологии шаблона состоит в его изменении по набору правил (Rule-based OPC), что позволяет обрабатывать топологию с достаточно высокой скоростью, так как при введении фигур коррекции не нужно литографическое моделирование. Время обработки в этом случае определяется только алгоритмом сценария, используемого для коррекции. Так при введении в сценарий «лишних» проверок размеров, время обработки топологии увеличивается. Термин «лишних» здесь употреблен в том смысле, что при “ручной” установке корректирующей фигуры лицом с недостаточной квалификацией может быть принято ошибочное решение.

На рис.2.4.2 показан маршрут обработки топологии СБИС [11] с использованием правил обработки (OPC Rules). Имея исходную спроектированную топологию СБИС, разработчику правил OPC обработки необходимо предварительно провести анализ топологии. С этой целью проводится моделирование всей топологии на слоях с критическими размерами, после чего по заданным правилам поиска ошибок САПР находит участки топологии, в которых различия между исходной и промоделированной маски резиста выходят за границы заданных пределов. Далее проводится анализ базы данных полученных ошибок. В результате чего становится возможным составление первого варианта обработки. Далее процесс повторяется итерационно до получения результата, который удовлетворяет необходимым ограничениям.

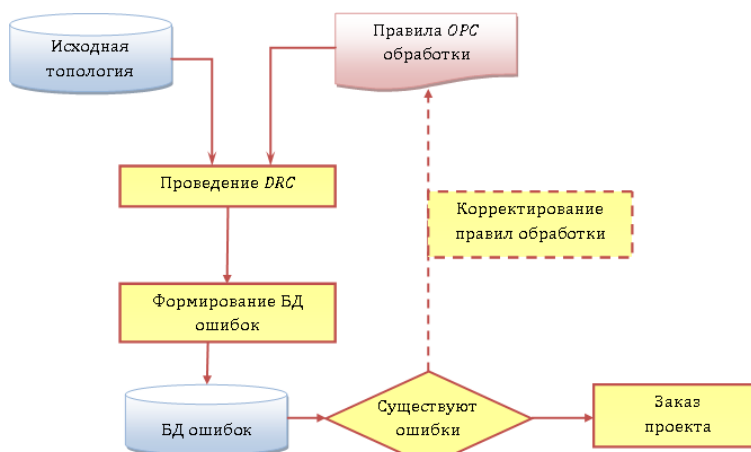


Рис.2.4.2. Маршрут обработки топологии

Литографическое моделирование при таком подходе необходимо для верификации скорректированной топологии, которая состоит в получении дополнительного топологического слоя, являющегося результатом моделирования, с дальнейшим извлечением из топологии списка цепей (net list). Далее возможно сравнение этого списка с аналогичным списком, полученным при схемотехническом проектировании СБИС. Кроме этого литографическое моделирование нужно для составления таблиц правил. Однако в этом случае моделируется только часть топологии СБИС, а формы и размеры фигур коррекции подбираются только для конкретного участка топологии и зависят только от используемого тех-

нологического оборудования и материалов.

Расстановка фигур коррекции осуществляется после проектирования топологии СБИС, как правило, на слоях с минимальными проектными нормами (Critical Dimension Layers, CDL). Правила расстановки определяются с помощью сценария (скрипта), который разрабатывается исходя из технологии, применяемой при производстве СБИС, то есть экспериментальным или модельным путем.

На Рис.2.4.3 слева показан фрагмент топологии СБИС и рисунок резистивной маски без фигур коррекции. В центре – топология шаблона с введенными фигурами коррекции OPC. Справа – резистивная маска после введения фигур коррекции: serif, bias и anti-serif. Видно, что искажение рисунка резистивной маски существенно уменьшилось.

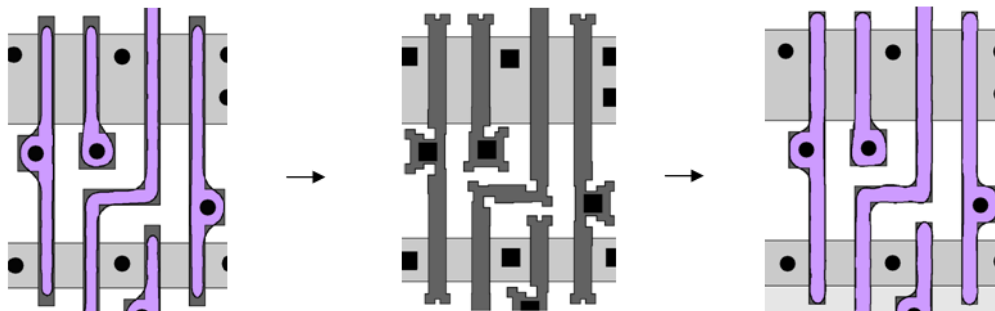


Рис.2.4.3. Применение фигур коррекции Rule-Based OPC

Также стоит заметить, что все полупроводниковые фирмы, в том числе такие как Intel и AMD, при изготовлении ИМС с проектными нормами менее 130нм на операциях литографии использовали степперы, в которых в качестве источника экспонирующего излучения использовался ArF-эксимерный лазер с длиной волны экспонирующего излучения 193нм, что соответствует области глубокого ультрафиолета (DUV). Таким образом, отношение длины волны экспонирующего излучения к минимальной проектной норме в этом случае составляло 1,48 и более, что потребовало при производстве таких СБИС использовать шаблоны с фигурами коррекции оптического эффекта близости и введения Rule-based.

В случае минимальной проектной нормы 0,35 мкм, и использования на операции литографии степпера с источником экспонирующего излучения на i-линии ртути ($\lambda = 365\text{нм}$) данный коэффициент составляет значение, незначительно превышающее единицу, однако при переходе на меньшие проектные нормы, например 0,25 мкм) этот коэффициент уже становится равным 1,46, что мало отличается от случая с длиной волны 193нм и проектными норм 130нм.

В итоге приведенных рассуждений можно сделать вывод о том, что при минимальных размерах элементов 350нм необходима незначительная коррекция оптического эффекта, как будет показано далее, данная корректировка топологии, в основном, относится к исправлению эффекта укорачивания проводников со стороны открытого конца с помощью элементов serif, hammerhead или удлинению проводника. Но уменьшение проектных норм до 250нм, что уменьшит занимаемую ячейкой памяти площадь в 2 раза, приведет уже к значительному увеличению искажений и, следовательно, в таком случае требуется обязательное использование Rule-Based OPC.

Далее будут рассмотрены основные принципы к подходу проектирования правил обработки топологии СБИС для языка SVRF, которые позволят исключить влияние, как и искажений для 350нм, так и для 250нм проектных норм.

2.5. Обзор основных команд языка стандартного формата правил обработки (SVRF, Standard Verification Rule Format), применяемого для выполнения задач коррекции топологии.

Обработка OPC топологии СБИС выполняется по средствам скриптов (сценариев), которые хранят команды указывающие средству (MG Calibre DRC) обработки, каким именно образом изменять входную топологию микросхемы [11]. При этом последовательность обработки определяется по средствам входных и выходных данных команд, а не последовательностью задания команд в скрипте. То есть, если в команде command1 (лист.2.5.1) входными данными являются data0, которые, в свою очередь, являются выходными для команды command0, а первой командой на обработку в скрипте указана command1, то первой будет выполнена command0.

Лист.2.5.1. Последовательность обработки команд в языке SVRF

data1 = command1 data0	//Выполняется 2-м
data0 = command0 InData	//Выполняется 1-м

Топология микросхемы при OPC-обработке является входными данными для самого скрипта, при этом данным о топологии должны храниться в формате GDSII или OASIS – и эта информация, по сути, являются базой данных. Сам процесс работы скрипта можно сравнить с работой с БД, где основными этапами являются: получения выборки данных из базы с помощью запросов, дальнейшая их обработка и модификация исходных данных. Также возможно, что при запросе к БД данные будут получены только для просмотра без дальнейшей их модификации, в случае SVRF-скрипта такой вариант работы также возможен, однако он используется для проверки правил проектирования, при котором выбираются элементы топологии, не удовлетворяющие заданным правилам.

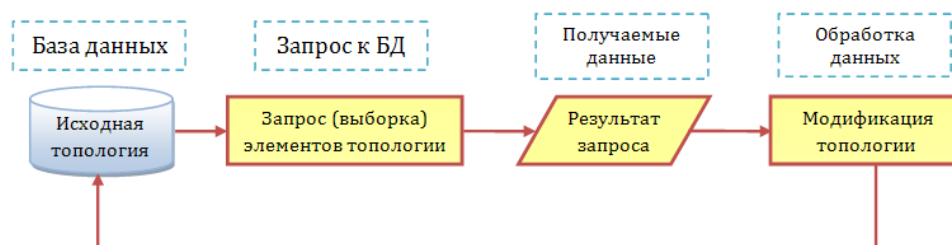


Рис.2.5.1. Последовательность работы SVRF-скрипта

При проектировании СБИС топологию разбивается на определенное число слоев, большинство, из которых соответствует технологическим слоям, таким как области легирования стоков и истоков, слоев трассировки поликремния, металлизации и т.д. Однако при проектировании вводятся вспомогательные слои необходимые, например, для проверки правил проектирования (места исключаяющие проверку правил, маркировка истоков транзисторов для КНИ-процессов). При OPC обработке, также вводятся дополнительные слои, причем различают слои: которые далее будут выведены в файл и слои, которые хранят данные во время выполнения сценария обработки. Таким образом, OPC-слой представляется собой временное хранилище данных (координаты топологических элементов), при этом обработка данных на одном из OPC-слоев означает, что данные на любом другом слое не будут изменены и не повлияют на результат команд запроса (при условии, что они сами не являются входными данными).

Команды OPC-обработки можно разделить на следующие виды:

Команды запроса (Layer selector) – идентификации или выбор определенной части топологических элементов среди всего множества элементов присутствующих на входном

слое запроса. Классификация проводится на основе физических характеристик, таких как расстояние до ближайшего элемента топологии, ширины элемента, перекрытии элементов одного слоя с элементами из другого. Кроме этого может быть выполнена классификация элементов на основании их топологии: «выпуклые углы», «вогнутые углы», jog (ступенька) – небольшой выступ (приблизительно равный одному шагу сетки проектирования). Описанные элементы топологии приведены на рис.2.5.3.

Примеры команды запроса может быть: выбор всех элементов топологии имеющих форму квадрата со стороной равной 4,0 мкм и находящихся в слое переходных отверстий.

В результате любого запроса (выборки) язык SVRF позволяет получить следующие элементы топологии (рис.2.5.2): многоугольники (polygons), либо элементы топологии – границы (edges). При этом далее границы в результате модификации могут быть преобразованы в многоугольники или перемещены на некоторое расстояние, что позволит скорректировать данные участки топологии.

При дальнейшей обработке границы могут быть использованы для изменения ширины проводников или проверки расстояний до ближайших границ. Многоугольники в OPC в основном выступают в качестве производных от границ, то есть как результат вытягивания отрезка в перпендикулярном к нему направлении. Что, как было сказано выше, уже является фигурами коррекции. Также многоугольник можно использовать для маркировки определенных областей кристалла – например, области запрета OPC. Это легко осуществить при помощи стандартных логических операций над множествами (которые являются доступными в SVRF и других языках верификации).

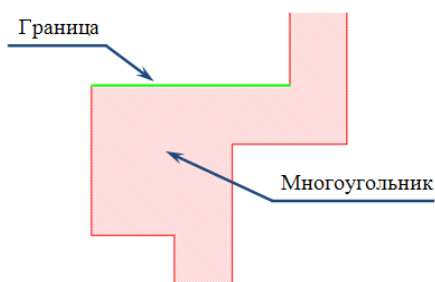


Рис.2.5.2. Топологические элементы, получаемые в результате выборки

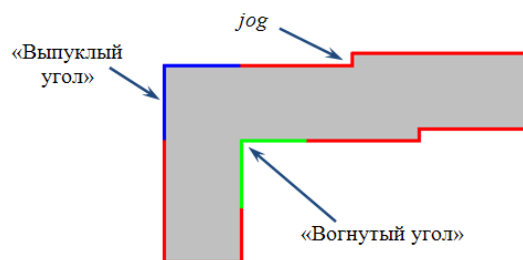


Рис.2.5.3. Примеры топологических элементов

Команды модификации (Layer constructor) – команды изменяющие данные, которые находятся на входном слое в соответствии с функцией команды. К такому виду команд могут быть отнесены команды логических операций: OR, AND, NOT – объединение двух слоев, пересечение двух слоев и вычитания одного слоя из другого. Также это команды преобразование границ в многоугольник, в частности в прямоугольник.

Любое правило OPC обработки состоит из трех основных шагов (рис.2.5.4): определение и классификация границ, корректирование заданных границ и совмещение внесенных изменений в исходную топологию.

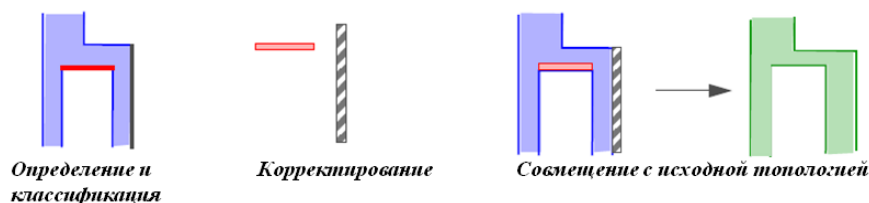


Рис.2.5.4. Последовательность операций OPC правил.

Области топологии, для которых в субволновом диапазоне (длина волны источника экспонирующего излучения больше размеров элементов) всегда требуется проведение OPC – это области открытого конца затворов транзисторов. Данные элементы располага-

ются в слое трассировки поликремния (далее Poly). К таким элементам с целью получения маски резиста повторяющей спроектированную топологию применяют элементы коррекции serif, пример которых показан на рис.2.4.3. Чтобы получить элементы serif необходимо установить места расположения элементов коррекции, так как такие элементы коррекции располагаются в углах, то, следовательно, необходима команда выбора углов.

Выбор углов осуществляется с помощью следующих двух способов:

Первый способ: Любой верификационный язык имеет команды проверки расстояния между двумя границами. При этом расстояния может измеряться как в направлении от многоугольника, которому принадлежит граница, так и в направлении внутренней части многоугольника (рис.2.5.5).

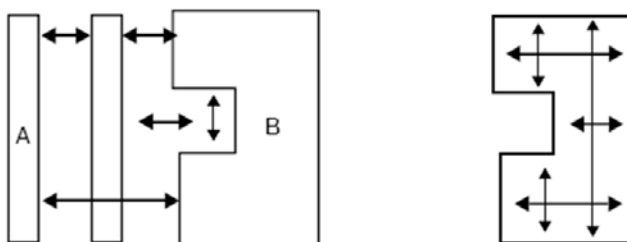


Рис.2.5.5. Проверка расстояний между границами:
от многоугольника (слева), во внутреннюю часть многоугольника (справа)

Проверка между интервалами проводится в области лежащей не только напротив границы, но и в области представляющей сектор (четверть) круга в сторону от границы (рис.2.5.6), так называемый Euclidean-регион проверки. Таким образом, объект, попавший в регион проверки, будет считаться удовлетворяющим запросу, и скопирован в выходной слой команды.

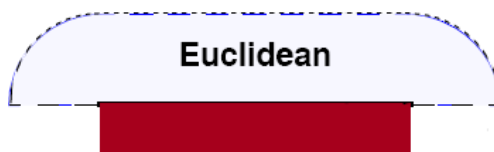


Рис.2.5.6. Регион проверки расстояния между объектами.

Следовательно, чтобы получить в результате выборки, пересекающиеся в выпуклой части границы с расстоянием S от точки пересечения необходимо выбирать не параллельные грани, а грани лежащие перпендикулярно друг другу, при этом область проверки должна отсыпаться на расстояние S от грани и проводиться во внутреннюю часть многоугольника (рис.2.5.7).

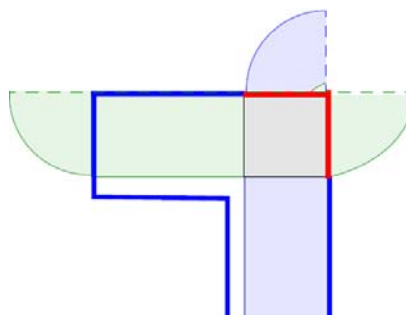


Рис.2.5.7. Выбор «выпуклого угла»

Таким образом, команды выборки описанных элементов топологии выглядит следующим образом:

Лист.2.5.2. Команда выбора «выпуклых углов»

INTERNAL [inLayer] <= Size ABUT == 90 INTERSECTING ONLY

В команде, представленной на лист.2.5.2, входными данными является слой inlayer, ограничением Size. Ключ ABUT==90 разворачивает регион проверки на 90°, а ключ INTERSECTING ONLY определяет, что в результате команды останутся только пересекающиеся границы. Такой фильтр необходим, если в предыдущих запросах часть границ пересекается, а часть – нет, что позволяет более гибко выбрать требуемые границы. Данная команда возвращает результат – границы, а не многоугольники.

Для того, чтобы в результате проверок были получены границы, лежащие внутри заданного ограничения входной слой взят в квадратные скобки. Для того чтобы результатом проверки были границы лежащие вне заданных ограничений входной слой должен быть взят в круглые скобки.

Недостатком такого подхода к выбору границ является, то, что границы, чей размер меньше заданного условия также будут входить в результирующий слой. Если же установить регион проверки точно равный заданному значению, вместо условия «меньше либо равно», как это показано в примере, то, скорее всего результатом будет пустой слой, так как маловероятно, что найдутся границы многоугольников, длина которых точно равна заданному значению.

Таким образом, без дополнительных действий (проверок) такая корректировка топологии внесет большие погрешности при обработке топологии, так как выбираются элементы топологии типа jog. Хотя на таких элементах коррекция элементами serif не нужна. Также jog'ом можно принять и переход трассы в площадку для переходного окна, где также существуют не большие выступы (рис.2.5.8).

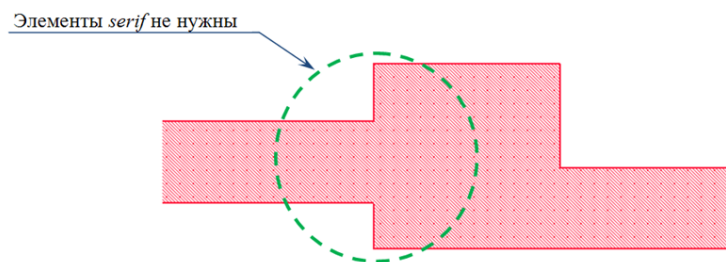


Рис.2.5.8. Элемент топологии, для которых не требуются элементы serif

Это можно исправить, введя дополнительные команды выборки, что соответственно, увеличит время обработки. Пример такого запроса представлен на лист.2.5.3.

Лист.2.5.3. Пример фильтрации элементов jog

```
Result1 = INTERNAL [inLayer] <= jog  
          ABUT == 90 INTERSECTING ONLY  
Result2 = LENGTH Result1 == jog  
Result3 = INTERNAL [Result2] <= Size  
          ABUT == 90 INTERSECTING ONLY
```

В лист.2.5.3 входной слой: inLayer, размер ступеньки (или jog'а) равен jog, а размер элемента serif пересекающийся с исходной топологией – Size. Первая команда отбирает в слой Result1 все границы, которые пересекаются под углом 90°, с длиной равной или меньшей, чем значение jog. Однако, как уже было сказано, если длина пересекающихся граней больше, чем заданная в ограничении, то в результате будут получены границы с длиной равной верхней границе ограничения, то есть jog. Если же, длина границы меньше, чем значение jog, то будет выбрана вся граница. В результате выполнения второй команды в слое Result2 будут получены границы из слоя Result1 длина, которых строго равна указанному значению – jog. Это позволит отфильтровать все границы с длиной мень-

шей jog. Таким образом, могут остаться не пересекающиеся границы. Последняя команда выполняет фильтрацию не пересекающихся границ и определяет размер будущих элементов serif.

Второй способ: Хотя при проектных нормах меньших длины волны экспонирующего излучения сильные искажения претерпевает вся маска резиста при процессах литографии, наиболее критичными областями являются открытые концы поликремневых шин. Претерпевая сильное укорачивание, шина может замкнуть накоротко области стока и истока МОП-транзистора пример такого случая показан на рис.2.5.9.

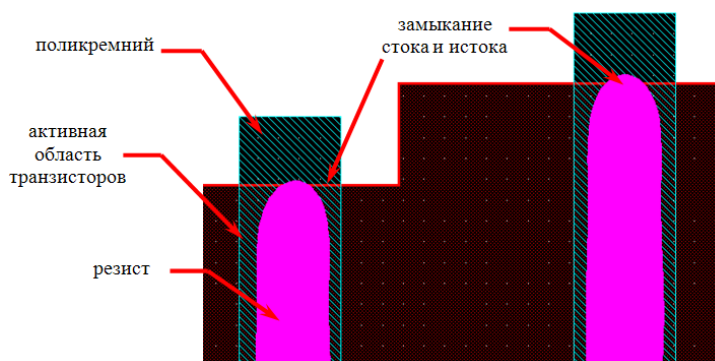


Рис.2.5.9. Замыкание стока и истока МОП-транзистора

Для того чтобы избежать указанной ситуации часто применяется удлинение (на маске) проводника поликремния, но это ведет к необходимости увеличения зазора между примыкающими рядом проводниками.

При использовании фигур serif данный зазор можно существенно уменьшить. Следовательно, возникает актуальная задача установки элементов serif именно на открытые концы проводников поликремния в зависимости от расстояния до ближайшего элемента топологии слоя поликремния и от ширины самого проводника.

Данная задача может быть решена с использованием следующей команды, позволяющей выбрать границы на конце проводника (лист.2.5.4):

Лист.2.5.4. Команды выбора открытого конца проводника

```
outLineEnd = CONVEX EDGE inLayer
ANGLE1 == 90
ANGLE2 == 90
LENGTH1 > JogSize
LENGTH2 > JogSize
WITH LENGTH == LineWidth
```

Пояснения к параметрам команды даны на рис.2.5.10. В данной команде размер ступеньки задается как один из параметров, но с помощью запроса CONVEX EDGE возможен только выбор открытых концов проводников.

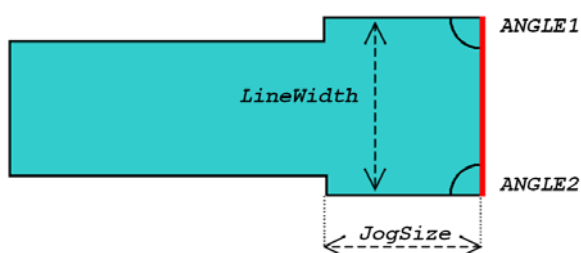


Рис.2.5.10. Параметры команды CONVEX EDGE

После того, как проведено разделение по ширинам проводников, необходимо провести разделение по расстояниям между выбранными границами. Такой запрос выполняется одной командой с несколькими параметрами, которая имеет вид, показанный в лист.2.5.5:

Лист.2.5.5. Проверка расстояний между элементами топологии

```
outLayer = EXTERNAL SPACE inLayer [inLineEnd] >= SpaceLow < SpaceUp
```

В команду передаются два слоя: первый слой многоугольников (проводников) и второй слой границ (открытых концов проводников). Первый слой необходим для того, чтобы определить, где находится внешняя часть многоугольника, второй, указывает на то, что выборка осуществляется из ранее сформированного слоя границ inLineEnd.

В результате получаем двумерное пространство, состоящее из ширины проводника и расстояния до ближайшего проводника со стороны его открытого конца. Это позволяет построить матрицу элементами, которой являются параметры устанавливаемых фигур serif. По полученной матрице можно провести обработку всех возможных вариантов топологии. Однако, такой подход возможен только для одиночных топологических структур. Для лучшей коррекции топологии необходимо ввести третье измерение в указанную матрицу и провести разделение границ на элементы, которые принадлежат одиночным и плотноупакованным структурам. Двумерный пример показан на табл.2.5.1.

Табл.2.5.1. Таблица параметров фигур типа Serif

Ширина (мкм) Расстояние (мкм)	0,35	0,5	0,8
0,45-0,65	(0,11 ; 0,00)	-	-
0,65-0,90	(0,13 ; 0,01)	(0,12 ; 0,00)	-
0,90-1,00	(0,15 ; 0,02)	(0,13 ; 0,01)	-
> 1,00	(0,18 ; 0,03)	(0,14 ; 0,01)	(0,18 ; 0,01)

Фигура serif определяется двумя параметрами: размером стороны квадрата и сдвигом относительно центра фигуры serif от угла элемента топологии (рис.2.5.11). Фигура коррекции serif получается из выбранных границ набором команд представленном на лист.2.5.6:

Лист.2.5.6. Формирование фигур коррекции Serif

```
VARIABLE A S/2+O
VARIABLE B S/2-O
SerifPos = EXPAND EDGE inSerifEdges
        OUTSIDE BY A
        INSIDE BY B
        EXTEND BY A
SerifNeg = EXPAND EDGE SerifEdges
```

Первые две команды представленного кода задают значения переменным, которые необходимы для формирования фигур serif. Формулы для расчета очевидны, если обратиться к рис.2.5.11.

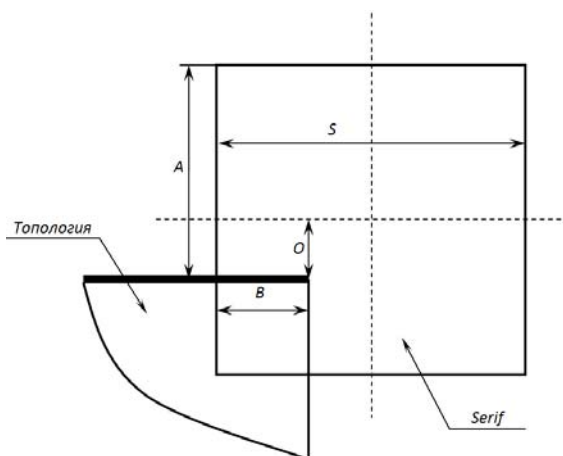


Рис.2.5.11. Расчет параметров элемента Serif

При дальнейших действиях создаются два прямоугольника из выделенной толстым на рис.2.5.11 границы. Первый прямоугольник формируется следующим образом: расширить границы из слоя inSerifEdges в сторону от корректируемого прямоугольника и перпендикулярно границе на A, во внутрь топологии на B и в сторону от корректируемого прямоугольника вдоль границы на A. Соответствующим образом формируется и второй прямоугольник. Далее проводится логическое вычитание малого прямоугольника (2-го) из большего (см. рис.2.5.12).

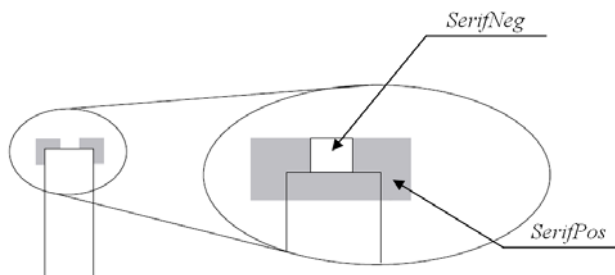


Рис.2.5.12. Формирование элемента Serif

Кроме укорачивания проводников со стороны открытого конца, при субмикронных размерах, также возникает и уменьшение толщины проводника. Для снижения влияния этого эффекта шины на критических слоях искусственно расширяют (bias). Другой способ – это введение специальных линий размер, которых заведомо меньше размера минимально разрешаемой линии (SRAF). Эти линии располагают возле проводников, таким образом расширяют область с интенсивность света выше порогового значения резиста. Однако SRAF используются только при большом расстоянии между проводниками (порядка одного оптического радиуса). Так как матрица памяти представляет собой очень плотную структуру, то более правильным решением для корректировки ширины проводником будет применение структур коррекции типа bias.

Для того, чтобы сформировать структуру bias также, как и для структур serif, необходима таблица правил, в данном случае эта таблица представляет собой зависимость величины наращивания проводника от ширины проводника и расстояния до ближайшей структуры.

Для ячейки памяти СОЗУ наиболее важным является уменьшение длинны канала (ширины затвора), из-за чего изменяется сопротивление канала, а соответственно и коэффициенты PR и CR. Поэтому корректирование ширины проводников проведем только для областей затворов.

Поиск затворов транзисторов осуществляется при помощи пересечения активных областей транзисторов и слоя поликремния. Поиск проводников с определенной шириной

осуществляется командой с помощью INTERNAL. Нарращивание проводников проводится при помощи описанной ранее команды EXPAND EDGE. Таким образом, чтобы минимизировать эффект уменьшения длины канала необходимо:

1. Провести поиск областей пересечения поликремниевого слоя и слоя активной области транзисторов, в результате чего получим, области затворов транзисторов;
2. Выделить границы проводников с заданной шириной;
3. Выполнить сдвиг границы прямоугольников в сторону от темного участка на заданную величину.

Описанная последовательность действий реализуется с помощью скрипта представленного в лист.2.5.7:

Лист.2.5.7. Формирование фигур коррекции Bias для областей Gate транзисторов

```
//Поиск затворов транзисторов
Gate = (inLayerPoly AND inLayerActive) NOT inNOPC
//Поиск границ с определенной шириной проводника
BiasWidth = INTERNAL
[Gate] == valLineWidth
OPPOSITE EXTENDED valLineWidth
//Увеличение найденных границ до прямоугольника
outBias = EXPAND EDGE BiasWidth
```

Обобщенный алгоритм корректирования состоит из создания элементов serif на окончаниях проводников и выполнении наращивания ширин затворов.

2.6. Выводы.

При рассмотрении и анализе технологических процессов связанных с производством КМОП ИМС было получено, что наиболее критичным из процессов, влияющим на все последующие операции является технологические процессы литографии. Хотя при обработке полупроводниковой пластины и выполняется множество других операций, таких как плазмо-химическое травление, химико-механическая планаризация, ионная имплантация, отжиг и др., операция, определяющая получаемый размер (ширину) проводника является литография, так именно на этом этапе формируется маска, по которой будет проводиться травление, или легирование областей стока и истока. В итоге появилась необходимость в совершенствовании методов получения топологического рисунка с заданной точность, которые были рассмотрены в следующем разделе главы.

В результате анализа методов повышения разрешающей способности, очевидно, что большинство методов требуют либо, полного переоснащения фабрики по части процессов литографии (уменьшение длины волны, применение иммерсионной литографии), либо значительных затрат при производстве шаблонов, а также специальных средств для их проектирования – фазосдвигающие фотошаблоны. Был также рассмотрен метод позволяющий в значительной степени сократить денежные затраты на его использование – метод коррекции оптического эффекта близости (ОПБ). Сокращение материальных затрат в основном связано с тем, что для данного метода необходима только САПР, когда для метода фазосдвигающих шаблонов, кроме САПР, необходимо гораздо большее увеличение затрат на их изготовление. В следствии выше изложенных соображений для уменьшения топологических размеров был выбран именно метод ОПБ, а для его практической реализации использовалась САПР разработанная компанией Mentor Graphics – Calibre RET.

В следующем разделе проводился анализ используемой САПР. Выбранная для уменьшения топологических размеров и искажений топологии САПР представляет программу, которая по заданной последовательности команд преобразует входную топологию в тре-

буемую для разработчика ИМС. Команды, которые может выполнить САПР являются: выбор границ по заданным условиям, их модификацию и т.п. Это позволяет разработать скрипты (последовательность команд) модифицирующие требуемым образом шаблон (топологию). Каким образом проводить коррекцию шаблона определяется с помощью литографического САПР по результатам моделирования.

В итоге следует сделать вывод, что завершающим этапом проектирования топологии ячейки должно быть проведение корректирования оптической эффекта близости, а для того чтобы определить размеры элементов коррекции требуется проведение литографического моделирования.

3. ПРОЕКТИРОВАНИЕ ЯЧЕЙКИ ПАМЯТИ СОЗУ

Как правило, кэш-память (СОЗУ) является блоком наиболее требовательным к площади кристалла. Это является следствием того, что для получения быстродействия необходимо применять элементы, в которых по возможности сведено к минимуму влияние реактивных пассивных элементов – конденсаторов. Память, работающая на принципе перезаряда емкости, называется динамической и имеет малые размеры ячейки. Такой тип памяти в силу относительно малого быстродействия не подходит для реализации запоминающих элементов на одном кристалле вместе с вычислительными блоками.

Для получения требуемого быстродействия в схемотехнике КМОП используется шеститранзисторная статическая ячейка памяти. Однако в силу ограничений возникающих при производстве на этапе проекционной литографии (область площади кристалла ограничивается порядка 20х20мм), необходимо кроме высокого быстродействия, получить достаточно малые размеры запоминающего устройства, чтобы разместить на одном кристалле с остальной схемой большие объемы памяти и при этом удовлетворить условия максимальной площади кристалла. Кроме этого при проведении любых вычислительных операций происходит постоянный доступ к памяти, то есть чтения и запись в определенные ячейки. Если при указанных операциях произойдет сбой, и хотя бы в одной из ячеек будет записано неверное значение, результат вычислений будет также неверен, что может привести к выходу из строя вычислительных систем. Следовательно, возникает актуальная задача проектирования такой топологии ячейки, при которой будет достигнута требуемая надежность при операциях чтения-записи.

3.1. Расчет геометрических параметров транзисторов ячейки памяти.

Первым этапом проектирования ячейки памяти является расчет ее геометрических параметров по известным электрическим параметрам транзисторов для данной технологии. В результате расчета будет определена геометрия транзисторов ячейки. Для 0,35мкм технологии электрические параметры транзисторов равны следующим значениям:

напряжение питания: $V_{dd} = 3,3B$;

напряжение насыщения N-канального транзистора: $V_{DSAT_n} = 0,85B$;

напряжение насыщения P-канального транзистора: $V_{DSAT_p} = -1,2B$;

пороговое напряжение N-канального транзистора: $V_{Tn} = 0,59B$;

пороговое напряжение P-канального транзистора: $V_{Tp} = -0,61B$;

Для 0,25мкм технологии стандартные значения электрических параметров транзисторов равны следующим значениям:

напряжение питания: $V_{dd} = 2,5B$;

напряжение насыщения N-канального транзистора: $V_{DSAT_n} = 0,7B$;

напряжение насыщения P-канального транзистора: $V_{DSAT_p} = -1,0B$;

пороговое напряжение N-канального транзистора: $V_{Tn} = 0,4B$;

пороговое напряжение P-канального транзистора: $V_{Tp} = -0,60B$;

Для получения параметров транзисторов приведем следующую расчетную схему (рис.3.1.1). Данная схема справедлива для операции чтения информации из ячейки памяти. На схеме красным показаны узлы, уровень в которых равен «лог.1». Применяя теорию, приведенную в главе 1, для показанной схемы можно определить соотношения размеров транзисторов M4 и M1. Данная схема будет использована как для расчета при технологии с проектными нормами 0,25мкм, так и при технологии с 0,35мкм проектными нормами.

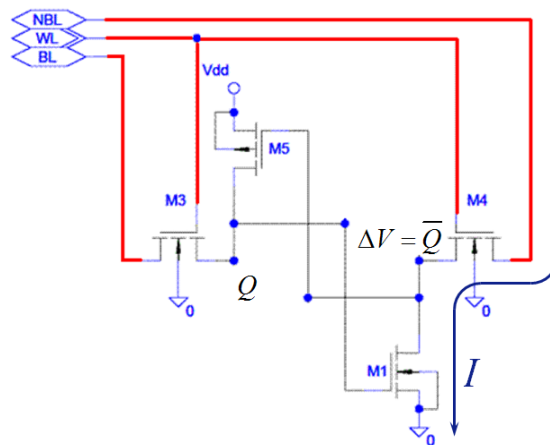


Рис.3.1.1. Расчетная схема ячейки памяти при операции чтения

Используя выражение (1.1) и представленную расчетную схему проведем расчет с целью определения допустимых значений коэффициента CR. Результаты расчета в виде зависимости $\Delta V = f(CR)$ приведены на рис.3.1.2:

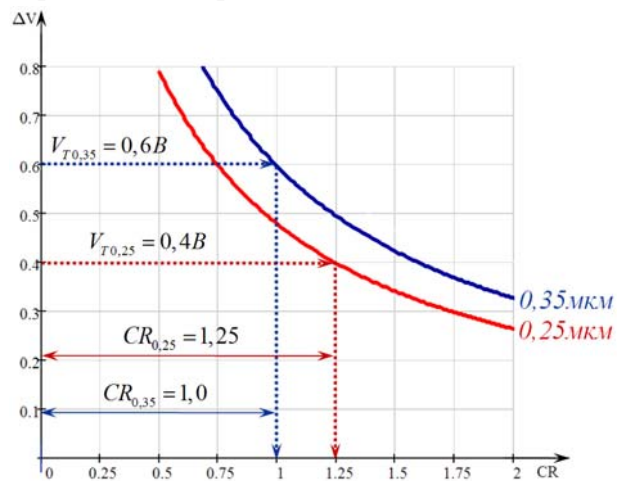


Рис.3.1.2. Зависимость напряжение ΔV от коэффициента CR

На представленном рисунке показан допустимый для надежной работы ячейки памяти диапазон изменения коэффициента CR для технологии 0,25μm и 0,35μm.

Аналогично составим расчетную схему (Рис.3.1.3) и проведем расчет для операции записи в ячейку памяти:

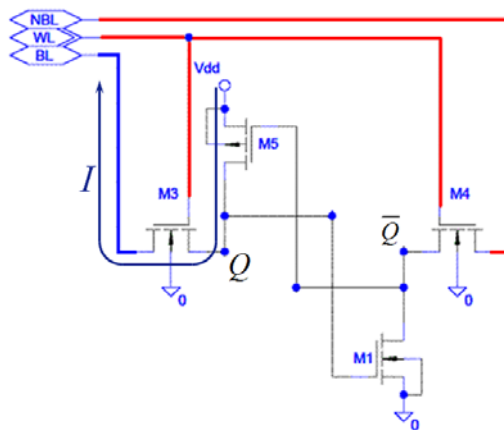


Рис.3.1.3. Расчетная схема ячейки памяти при операции записи

Для расчета коэффициента PR воспользуемся формулой (1.2) выражающую зависимость напряжения в точке Q от коэффициента PR, в результате расчетов получим график, представленный на рис.3.1.4:

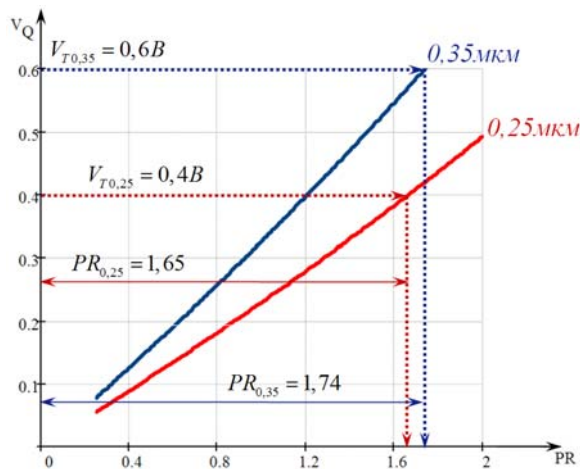


Рис.3.1.4. Напряжение в точке Q от коэффициента PR

Таким образом, чтобы обеспечить надежность работы ячейки памяти статического ОЗУ, необходимы следующие соотношения значений параметров транзисторов ячейки памяти: $W_1 > W_4$ и $W_5 < 1,75 \cdot W_3$ – для 0,35мкм технологии, $W_1 > 1,25 \cdot W_4$ и $W_5 < 1,65 \cdot W_3$ – для 0,25мкм технологии.

Используя полученный диапазон значений для 0,25мкм-технологии примем следующие соотношения транзисторов: ширина каналом M5, M6, M3 и M4 равной 0,75мкм, ширина каналов M2 и M1 равной 1,35мкм.

3.2. Проектирование топологии ячейки памяти.

В результате топологического проектирования была получена топология ячейки памяти, представленная на рис.3.2.1:

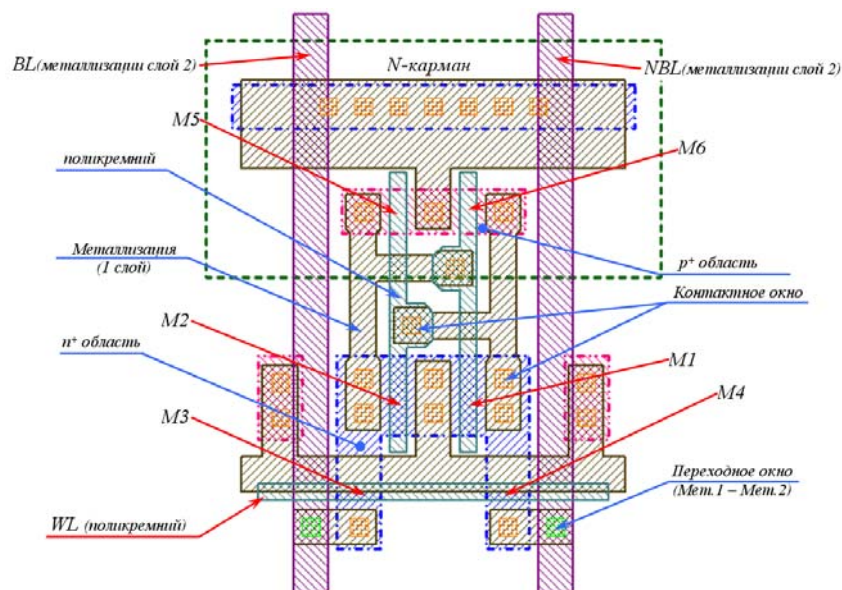


Рис.3.2.1. Топология 6-ти транзисторной ячейки памяти по технологии 0,25мкм КМОП на эпитаксиальных структурах ($6,53\text{мкм} \times 8,18\text{мкм} = 53,34\text{мкм}^2$)

Проектирование по рассчитанным размерам ячейки памяти для технологии 0,25мкм

проводилось с использованием правил проектирования TSMC025 предоставляемые MOSIS.

При разработке использовались два слоя металлизации. Одним из важных факторов повлиявшим на увеличение площади ячейки памяти является ограничение на расположение переходных окон, которые в данной технологии не могут быть расположены «колодцем» - одно над другим.

Данная топология имеет существенный недостаток – шина доступа к элементу памяти выполнена в поликремневом слое, что значительно увеличивает ее сопротивление[10].

Для 0,35мкм технологии также для удовлетворения диапазона допустимых значений коэффициентов PR и CR были выбраны следующие размеры: ширина каналов транзисторов M5, M6, M3 и M4 равной 1,0мкм, а ширина каналов транзисторов M2 и M1 равным 1,3мкм.

В результате проектирования была получена топология ячейки памяти, показанная на рис.3.2.2. При проектировании топологии были использованы два вида КНИ-транзисторов, А-транзистор (M5, M6, M2, M1) и Н-транзистор (M3, M4). А-транзисторы позволяют получить контакт к карману (телу транзистора) с помощью дополнительной имплантации, полярности противоположенной полярности самого канала. В Н-транзисторах используются специальные области для получения контакта к карману.

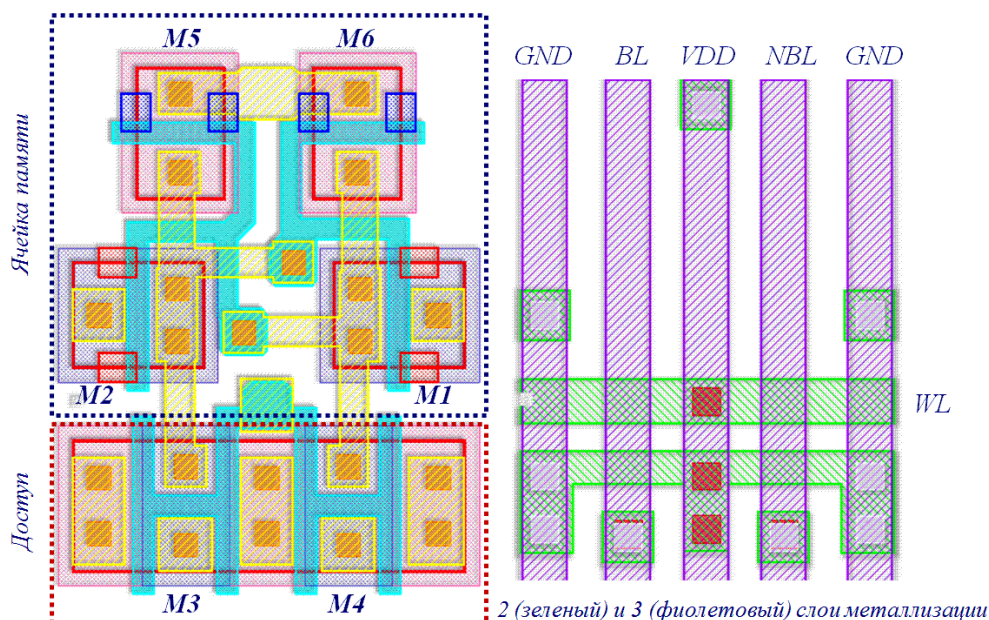


Рис.3.2.2. Топология 6-ти транзисторной ячейки памяти по технологии 0,35мкм КМОП на КНИ структурах ($7,25\mu\text{м} \times 9,25\mu\text{м} = 67,05\mu\text{м}^2$)

По радиационной стойкости Н-транзисторы имеют преимущество перед транзисторами А-типа, однако занимают гораздо больше места на кристалле. Кроме этого токи утечки Н-транзисторов значительно меньше, чем А-транзисторов, что является очень важным свойством для применения в качестве проходных транзисторов. Все это и объясняет выбор Н-типа транзисторов в качестве проходных транзисторов доступа к ячейке, для транзисторов самой ячейки использованы транзисторы А-типа, с целью сокращения площади ячейки.

Для технологии 0,35мкм применены правила проектирования НИИСИ РАН на КНИ структурах. Использование КНИ-технологии позволяет повысить радиационную стойкость микросхем, но при этом увеличиваются размеры элементов топологии кристалла.

Преимуществом топологии приведенной на рис.3.2.2, перед топологией приведенной на рис.3.2.1 является шина доступа выполненная в слое металлизации, а в поликремниевом слое выполнен только затвор транзисторов доступа, а также уменьшение площади было возможным благодаря технологии «колодцев». Однако из-за сложной формы затво-

ров возможны искажения рисунка маски резиста поликремниевого слоя.

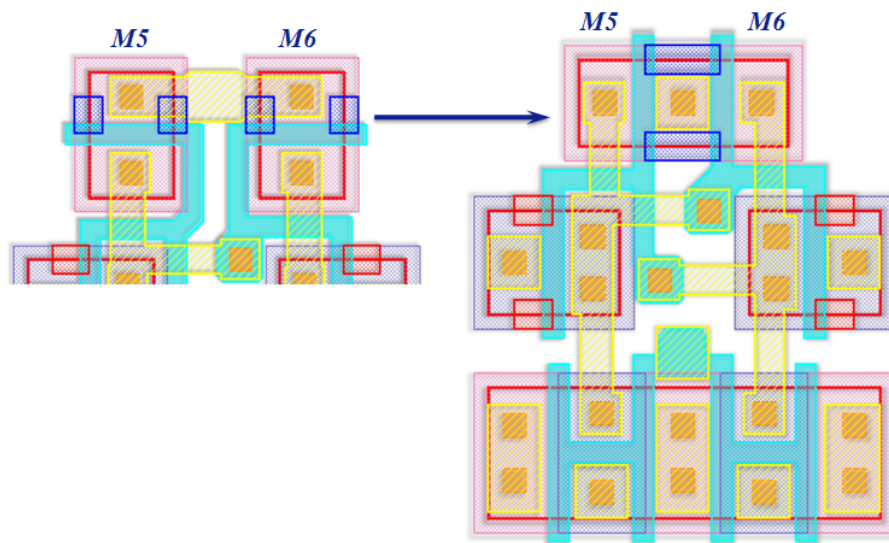


Рис.3.2.3. Модификация топологии ячейки памяти

В работе были предприняты меры по уменьшению сложности топологического рисунка поликремния. Для этого р-канальные транзисторы M5 и M6 были развернуты на 90о градусов (Рис.3.2.3).

Описанные действия по изменению топологии позволили уменьшить сложность слоя поликремния, кроме этого снизилась площадь всей ячейки памяти ($7,250\text{мкм} \times 8,400\text{мкм} = 60,09\text{мкм}^2$).

При формировании матрицы ячеек в топологии существуют области, которые могут быть наложены друг на друга с целью экономия места на кристалле. При повороте транзисторов M5 и M6 возникает ситуация при которой не возможно наложить истоки этих транзисторов, это приводит к увеличению площади. В исходной топологии такое наложение возможно без внесения изменений в принципиальную схему (Рис.3.2.4).

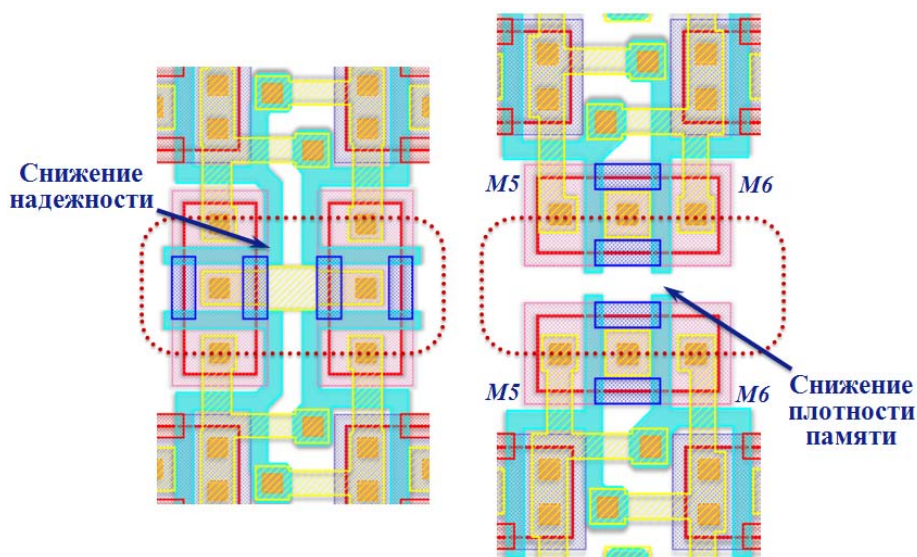


Рис.3.2.4. Формирования матрицы CO3U из разработанных вариантов топологий ячеек памяти

Таким образом, можно сделать вывод, что наиболее удачной с точки зрения занимаемой площади является топология с более сложной формой поликремниевого слоя. Если рассматривать основным критерием не занимаемую площадь, а вероятность получения годной (рабочей ячейки), то более предпочтительным вариантом является топология с ме-

нее сложной формой затворов транзисторов.

3.3. Коррекция топологии ячейки памяти.

Для проведения анализа дальнейшего повышения степени интеграции памяти, было проведено масштабирование элементов памяти разработанных для 0,35мкм технологии до технологии 0,25мкм. И проведено литографическое моделирование полученных топологий ячеек памяти. Таким образом, было выявлено значительное искажение рисунка, приводящих к уходу параметров канала транзисторов, а также к уменьшению вылета затвора и повышению вероятности короткого замыкания областей стока и истока[10].

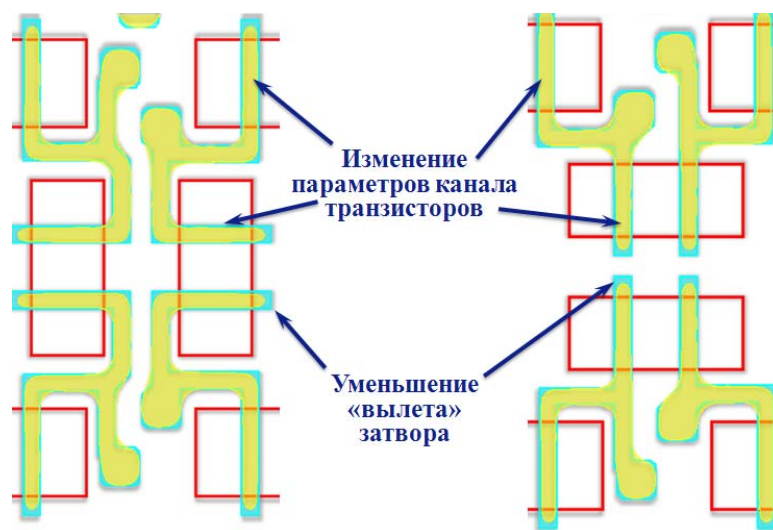


Рис.3.3.1. Моделирование топологии ячейки памяти

Моделирование показало, что при переходе на проектные нормы 0,25мкм необходима коррекция шаблона критического слоя – слоя поликремния. При масштабировании коэффициент PR, равный 0,91 для техпроцесса 0,35мкм без учета искажений, с учетом искажений увеличивается до 1,38, что снижает надежность функционирования ячейки памяти.

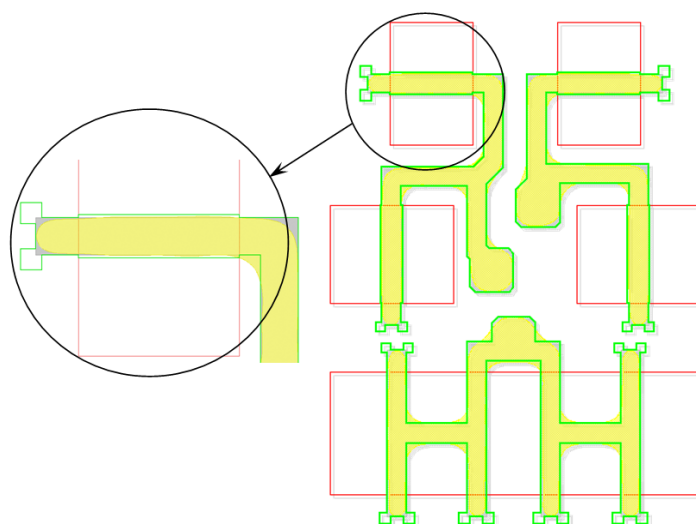


Рис.3.3.2. Скорректированная топология ячейки памяти
(активная область транзистора – красным,
скорректированная топология – зеленым,
получаемая при моделировании топология – желтым)

С целью снижения возникающих искажений было предпринято введение элементов

коррекции оптического эффекта близости. В топологию вводились элементы типа serif и bias. Элементы типа serif были использованы для корректирования вылета затвора с целью снижения вероятности короткого замыкания областей стока и истока транзисторов. Элементы bias для корректировки длины канала транзисторов в ячейки памяти, так как при масштабировании возникло уменьшения длины канала, которое повлияло на коэффициент PR, и снизило надежность ячейки памяти.

В результате, как видно из рис.3.3.2, описанные ранее искажения резистивной маски значительно снизились. Длина канала, получаемая в маске из резиста, приблизилась к заложенному при проектировании значению.

3.4. Выводы.

В результате работы разработаны топологии ячеек памяти статического ОЗУ для технологий с проектными нормами 0,25мкм и 0,35мкм. Для ячейки памяти с проектными нормами 0,35мкм, которая имеет более сложную топологию, в силу ее реализации по технологии КНИ, проведено масштабирование до 0,25мкм с целью проведения моделирования и установления возможных искажений маски резиста. В результате работы было получено, что для оборудования с длиной волны степпера 365нм происходят значительные искажения, ведущие к снижению надежности ячейки, а соответственно и памяти построенной на таких ячейках. Для устранения проблем такого рода, были разработаны скрипты для САПР Mentor Graphics Calibre™ позволяющие провести автоматизированную коррекцию указанных искажений.

Также на примере двух спроектированных топологий было показано, что для получения высокой плотности матрицы памяти необходимо, чтобы технология при производстве ИМС допускала формирования так называемых «колодцев» – расположенных друг над другом переходных окон. Кроме этого для повышения надежности памяти, необходима разводка электрических соединений в 3-х слоях металлизации, что позволяет использовать 2-й слой металлизации для формирования перемычек между земляными шинами, которые, в свою очередь, дают возможность выровнять потенциалы земли в обеих «плечах» ячейки памяти.

Для снижения сложности топологии и повышения процента выхода годных кристаллов построенных на таких ячейках были предприняты меры по улучшению топологии, в результате, чего было получено, что для уменьшения сложности топологии необходимо формирования прямых поликремневых шин. Однако, при модификации топологии, видно, что плотность получаемой матрицы памяти будет снижена.

ЗАКЛЮЧЕНИЕ

В результате проведенной работы была спроектирована топология ячейки статического ОЗУ для фабрики НИИСИ РАН с минимальными проектными нормами 0,35мкм. Площадь ячейки составила $7,25\text{мкм} \times 9,25\text{мкм} = 67,05\text{мкм}^2$, такая площадь ячейки позволит, разместить на кристалле $10 \times 10\text{мм}$ приблизительно 1,5 миллиона ячеек памяти, что соответствует 200Кб памяти, однако необходимо принять во внимание, что на кристалле, также размещаются дешифраторы, мультиплексоры и другие блоки занимающие место на кристалле, что снизит общий объем памяти. Также следует заметить, что разработанная ячейка памяти была спроектирована с КНИ-технологии, что говорит о ее повышенной радиационной стойкости.

В заключительной части был также разработан пакет скриптов для обработки ячейки памяти, который позволяет провести коррекцию оптического эффекта близости по правилам, и было показано, что при переходе на новые проектные нормы без изменения литографического оборудования возможно получение резистивной маски позволяющей сформировать надежный элемент памяти. Данный пример является первым применением на российской фабрики по производству ИМС метода коррекции оптического эффекта близости.

В дальнейшем при развитии данного метода, как мы видим из сказанного выше, следует, что при развитии данного метода возможна разработка скриптов, которые позволяют обрабатывать более сложные топологические структуры (например, весь кристалл памяти).

СПИСОК ИСТОЧНИКОВ

1. Гладких А.А. Использование методов коррекции оптического эффекта близости для оптимизации топологии ячейки памяти. – М.: Издательство МГТУ им. Баумана, Сборник трудов первой Всероссийской Школы-семинара студентов, аспирантов и молодых ученых по направлению «Наноинженерия», 2008. – стр. 220-225.
2. Гладких А.А. Принципы проектирования ячейки статического оперативного запоминающего устройства. – М.: Издательство МГТУ им. Баумана, 11-я Молодежная международная научно-техническая конференция «Наукоемкие технологии и интеллектуальные системы 2009», 2009. – стр. 116-121.
3. Мартынов В.В. Просий А.Д. Современная технология фотолитографии в производстве СБИС // Зарубежная электронная техника. - Москва: ОАО ЦНИИ "Электроника", 2002., 3-4. - стр. 18-77.
4. Б.Николич, Ж-М.Рабай, А.Чандракасан. Цифровые интегральные схемы: методология проектирования. Пер. с англ. – М.: ООО «И.Д. Вильямс», 2007. – 912с.:ил. – Парал. тит. англ. – ISBN 978-5-8459-1116-2.
5. Хоровиц П., Хилл У., Искусство схемотехники: Пер. с англ. – Изд. 7-е. – М.: Мир, БИНОМ. – 2009. – 704с., ил. ISBN 978-5-9518-0351-1
6. Бабич Н.П., Жуков И.А., Основы цифровой схемотехники: Учебное пособие. – М.: Издательский дом «Додэка-XXI», К.: «МК-Пресс», 2007. – 480с., ил.
7. Kazuaki S. Bruce W. Smith Microlithography Technology And Science. - New York : CRC Press Taylor & Francis Group, 2007. – 835 стр. - Second Edition.
8. N.B. Cobb Fast Optical and Process Proximity Correction Algorithms. - California, Berkeley, 1998. – 123 стр.
9. H.Veendrick. Deep-Submicron CMOS ICs. Kluwer Academic Publishers, 2000. – 524p.
10. D. Clein. CMOS IC layout: concepts, methodologies, and tools, 1999. - 281p.
11. Mentor Graphics. Calibre Rule-Based OPC User's Manual. 2009. – 180p.

СВЕДЕНИЯ
о студенте и его научном руководителе

Студент:

1. Фамилия – Гладких
2. Имя (полностью) – Алексей
3. Отчество (полностью) – Алексеевич
4. Курс – 4 курс
5. Адрес фактического места проживания – 111033,
г. Москва, Волочаевская улица, дом 1, кв. 59
6. Телефон (сотовый) – 8-926-257-59-32
7. Адрес электронной почты – GladkikhAlexei@gmail.com

Научный руководитель:

1. Фамилия – Макаrchук
2. Имя (полностью) – Владимир
3. Отчество (полностью) – Васильевич
4. Место работы (полностью) – МГТУ им. Н.Э.Баумана, 105005,
г. Москва, 2-я Бауманская ул., дом 5
5. Должность – доцент
6. Ученая степень – кандидат технических наук
7. Ученое звание – доцент
8. Адрес фактического места проживания – 105484,
г. Москва, Сиреневый бульвар, дом 52, кв. 51
9. Телефон (рабочий, домашний, сотовый) – 8-(499)-263-65-53,
8-(495)-461-76-47, 8-916-188-90-16
10. Адрес электронной почты – yvmakarchuk@gmail.com

Научный руководитель: _____ (Макарчук В.В.)
Студент: _____ (Гладких А.А.)

О Т З Ы В

научного руководителя

Название работы: Проектирование ячейки памяти для 0,35мкм КМОП СОЗУ СБИС

Автор: Гладких А.А.

Научный руководитель: Макарчук В.В.

В представленной на конкурс научной работе ее автором – Гладких А.А. – решена актуальная на сегодняшний день задача разработки топологии ячейки памяти для СБИС СОЗУ с субмикронными размерами областей элементов (технология 0,25-0,35 мкм).

Актуальность работы обусловлена существованием в настоящее время задачи создания отечественной элементной базы для перспективной электронной аппаратуры, к каковой относят и задачу создания СБИС различных видов памяти. Причем разрабатываемые схемы должны иметь субмикронные размеры элементов с возможностью их производства на отечественном оборудовании.

Работа состоит из трех частей.

В первой части работы изложены принципы проектирования ячеек памяти для СОЗУ, являющиеся, если можно так сказать, теоретическими основами для разработки их топологии. Помимо этого, в данной части работы рассмотрены вопросы согласования ячейки памяти с остальными функциональными узлами микросхемы СОЗУ.

Во второй части работы автором рассмотрена современная технология производства КМОП СБИС. При этом большее внимание уделено вопросам литографии субмикронных СБИС, для производства которых необходимы шаблоны, в рисунок которых введены фигуры коррекции оптического эффекта близости по правилам.

Третья часть работы посвящена непосредственно процессу проектированию топологии различных модификаций ячейки памяти статического ОЗУ, имеющих цель сократить ее размеры. Проведен анализ возможных искажений рисунка топологии, возникающих при переходе на меньшие проектные нормы. Изложены разработанные автором способы снижения искажений рисунка топологии, для чего им были разработаны специальные скрипты для автоматизированной обработки топологии с помощью САПР “*Mentor Graphics Calibre*”.

Считаю, что представленная на конкурс работа студента Гладких А.А. безусловно имеет большое практическое значение, а ее автор – достоин присвоения степени бакалавра техники и технологии.

(подпись руководителя)

« ____ » _____ 2009г.

А Н Н О Т А Ц И Я

научной работы

«Проектирование ячейки памяти для 0,35мкм КМОП СОЗУ СБИС»

МГТУ им. Н.Э. Баумана

2009г.

В работе рассмотрены основные принципы проектирования ячейки памяти СОЗУ. Проведен анализ технологических операций, оказывающих наибольшее влияние на работу СОЗУ. Выполнен расчет топологических размеров транзисторов ячейки СОЗУ, обеспечивающий надежное выполнение операций чтения и записи, на основе которого разработана топология ячейки памяти СОЗУ. Исследованы возможности сокращения площади, занимаемой ячейкой памяти, при сокращении минимальной проектной нормы с 0,35 до 0,25 мкм. Помимо этого решена задача минимизации искажений рисунка резистивной маски. Разработаны скрипты для САПР Mentor Graphics Calibre™ позволяющие реализовать описанные методы коррекции автоматизированным.

Объем работы - 41 стр.

Количество иллюстраций - 46 ед.

Количество таблиц - 1

Количество источников литературы - 11 ед.

Х А Р А К Т Е Р И С Т И К А

научной работы

Классификация научной работы – методическая.

Вид научной работы – учебная.

Ключевые слова: ячейка памяти, топология, оптическая коррекция эффекта близости (*OPC – Optical Proximity Correction*).

Цель научной работы: Разработка основ проектирования топологии ячейки памяти для статического ОЗУ, обеспечивающих надежное выполнение операций чтения и записи информации. Проектирование топологии ячейки памяти КМОП СБИС СОЗУ и исследование способов минимизации искажений рисунка резистивной маски.

Методы проведенных исследований: Для проектирования ячейки памяти используются такие элементы современного процесса проектирование ИМС, как проверка правил проектирования (*DRC – Design Rule Check*). Для минимизации возникающих искажений рисунка резистивной маски и повышения разрешающей способности процесса проекционной литографии использован метод коррекции оптического эффекта близости. Разработаны алгоритмы и правила такой коррекции (*Table-Driven – Rule-Based OPC*).

Основные результаты научного исследования (научные, практические):

1. Проведен анализ принципов проектирования ячейки памяти КМОП СБИС СОЗУ.
2. Проведен анализ литографических процессов производства субмикронных СБИС.
3. Проведен анализ элементов языка SVRF.
4. Разработаны скрипты обработки топологии для технологических процессов 0,25мкм и 0,35мкм на языке SVRF по таблицам правил.
5. Спроектирована топология ячейки памяти для КМОП СБИС, производимых по технологии с минимальными проектными нормами 0,25 мкм на эписетрутурах и 0,35 мкм на КНИ-структурах.
6. С помощью разработанных скриптов проведена автоматизированная коррекция топологии спроектированных ячеек памяти путем добавления элементов коррекции оптического эффекта близости.

Научный руководитель : _____ (Макарчук В.В.)

Студент : _____ (Гладких А.А.)